

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of :
Junichi NAKA et al. :
Serial No. NEW : **Attn: APPLICATION BRANCH**
Filed February 25, 2004 : **Attorney Docket No. 2004_0299A**
STANDARD VOLTAGE GENERATION :
CIRCUIT :

CLAIM OF PRIORITY UNDER 35 USC 119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

THE COMMISSIONER IS AUTHORIZED
TO CHARGE ANY DEFICIENCY IN THE
FEES FOR THIS PAPER TO DEPOSIT
ACCOUNT NO. 23-0975

Sir:

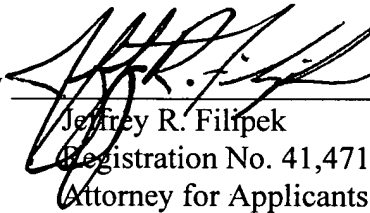
Applicants in the above-entitled application hereby claim the date of priority under the International Convention of Japanese Patent Application No. 2003-046651, filed February 25, 2003, as acknowledged in the Declaration of this application.

A certified copy of said Japanese Patent Application is submitted herewith.

Respectfully submitted,

Junichi NAKA et al.

By


Jeffrey R. Filipek
Registration No. 41,471
Attorney for Applicants

JRF/fs
Washington, D.C. 20006-1021
Telephone (202) 721-8200
Facsimile (202) 721-8250
February 25, 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 2月25日

出 願 番 号

Application Number:

特願2003-046651

[ST.10/C]:

[JP 2003-046651]

出 願 人

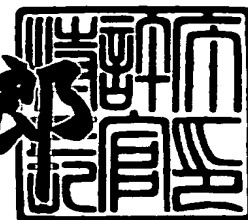
Applicant(s):

松下電器産業株式会社

2003年 6月25日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3050061

【書類名】 特許願

【整理番号】 2037640146

【提出日】 平成15年 2月25日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/4074
G11C 11/4099

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 中 順一

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 徳丸 美智子

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 岡本 陽一

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 岡 浩二

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100081813

【弁理士】

【氏名又は名称】 早瀬 憲一

【電話番号】 06(6395)3251

【手数料の表示】

【予納台帳番号】 013527

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9600402

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 基準電圧発生回路

【特許請求の範囲】

【請求項 1】 基準電圧を発生する基準電圧発生回路本体と、
前記基準電圧を安定化させる基準電圧安定用容量と、
前記基準電圧を急速に安定化させる基準電圧急速安定器と、を備えた、ことを
特徴とする基準電圧発生回路。

【請求項 2】 請求項 1 記載の基準電圧発生回路において、
前記基準電圧急速安定器は、前記基準電圧安定用容量に対して、急速に充電を
行う、あるいは急速に放電を行う急速充放電用電流源からなる、
ことを特徴とする基準電圧発生回路。

【請求項 3】 請求項 2 記載の基準電圧発生回路において、
前記急速充放電用電流源は、
所定の電流を出力するバイアス電流源と、
ソースが電源電圧に接続され、ドレインが前記バイアス電流源に接続され、ゲ
ートとドレイン間を短絡した第 1 の P 型トランジスタと、
ソースが電源電圧に接続され、ドレインが前記基準電圧安定用容量に接続され
、ゲートが前記第 1 の P 型トランジスタのゲートに接続されている第 2 の P 型ト
ランジスタと、を備えた急速充電用 P 型トランジスタ電流源からなる、
ことを特徴とする基準電圧発生回路。

【請求項 4】 請求項 2 記載の基準電圧発生回路において、
前記急速充放電用電流源は、
所定の電流を出力するバイアス電流源と、
ソースが接地電圧に接続され、ドレインが前記バイアス電流源に接続され、ゲ
ートとドレイン間を短絡した第 1 の N 型トランジスタと、
ソースが接地電圧に接続され、ドレインが前記基準電圧安定用容量に接続され
、ゲートが前記第 1 の N 型トランジスタのゲートに接続されている第 2 の N 型ト
ランジスタと、を備えた急速放電用 N 型トランジスタ電流源からなる、
ことを特徴とする基準電圧発生回路。

【請求項5】 請求項1記載の基準電圧発生回路において、
サブ基準電圧を発生するサブ基準電圧発生回路と、

前記基準電圧発生回路本体により発生した基準電圧と、前記サブ基準電圧発生回路により発生したサブ基準電圧とを比較し、その比較結果を出力する電圧検知用比較器と、

前記電圧検知用比較器の比較結果に応じて、前記基準電圧急速安定器の、前記基準電圧安定用容量に対する充電、あるいは放電を行う動作を停止させる停止回路と、を備えた、ことを特徴とする基準電圧発生回路。

【請求項6】 請求項5記載の基準電圧発生回路において、
前記サブ基準電圧発生回路は、前記サブ基準電圧を安定化させる容量を備えていない、ことを特徴とする基準電圧発生回路。

【請求項7】 請求項5記載の基準電圧発生回路において、
前記サブ基準電圧発生回路は、抵抗分圧回路からなる、ことを特徴とする基準電圧発生回路。

【請求項8】 基準電圧を発生して、第1の端子より前記基準電圧を出力する基準電圧発生回路本体と、

スタンバイ期間に、両端が第1の定電圧に接続し充電され、通常動作期間に、一端が前記第1の定電圧に接続され、他端が前記基準電圧より高い第3の電圧に接続され充電される第1の容量素子と、

スタンバイ期間に、両端が第2の定電圧に接続し充電され、通常動作期間に、一端が前記第2の定電圧に接続され、他端が前記基準電圧より低い第4の電圧に接続され充電される第2の容量素子と、を備え、

前記第1の容量素子と前記第2の容量素子との容量比は、前記第3の電圧に充電された該第1の容量素子の一端と、前記第4の電圧に充電された該第2の容量素子の一端とを共通接続点としたときの、該共通接続点の電位が前記基準電圧近傍に収束するような値であり、

前記スタンバイ期間から通常動作期間に遷移する際に、該基準電圧を出力する前記第1の端子と、前記共通接続点とを、非導通状態から導通状態にする、

ことを特徴とする基準電圧発生回路。

【請求項 9】 基準電圧を発生して、第 1 の端子より前記基準電圧を出力する基準電圧発生回路本体と、

ソースを前記基準電圧より少なくともトランジスタのしきい値電圧だけ異なる第 1 の定電圧に接続され、スタンバイ期間には、ゲートとドレインを電氣的に共通接続され、且つ前記ゲートと前記ソースとの電位差が前記しきい値電圧より大きい所定の電圧になるようにバイアスされ、通常動作期間には、前記ソースと前記ドレインを電氣的に共通接続される第 8 の P 型トランジスタと、

ソースを前記第 8 の P 型トランジスタのソースに接続され、ドレインを該第 8 の P 型トランジスタのドレインに接続され、該第 8 の P 型トランジスタのソースとドレインを、スタンバイ期間には電氣的に切断し、通常動作期間には電氣的に共通接続させる第 7 の P 型トランジスタと、

ソースを前記第 8 の P 型トランジスタのドレインに接続され、ドレインを該第 8 の P 型トランジスタのゲートに接続され、該第 8 の P 型トランジスタのゲートとドレインを、スタンバイ期間には電氣的に共通接続させ、通常動作期間には電氣的に切断する第 6 の P 型トランジスタと、

ソースを第 2 の定電圧に接続され、ドレインを前記第 8 の P 型トランジスタのゲートに接続され、スタンバイ期間には、該第 8 の P 型トランジスタのゲートとソースとの電位差が該第 8 の P 型トランジスタのしきい値電圧より大きい所定の電圧になるようにバイアスし、通常動作期間にはオフする第 3 の N 型トランジスタと、

ソースを前記第 1 の定電圧に接続され、ドレインを前記第 1 の端子に接続され、スタンバイ期間にはオンし、通常動作期間にはオフする第 9 の P 型トランジスタと、

ソースを前記第 1 の端子に接続され、ドレインを前記第 8 の P 型トランジスタのゲートに接続され、前記スタンバイ期間から通常動作期間への遷移時には、少なくとも前記第 8 の P 型トランジスタのゲートと前記第 1 の端子との電位差が所定値となるまでの期間中に、導通する第 5 の P 型トランジスタと、を備えた、ことを特徴とする基準電圧発生回路。

【請求項 10】 請求項 9 記載の基準電圧発生回路において、

前記基準電圧発生回路本体は、
所定の電流を出力する定電流源と、
ソースが前記第1の定電圧に接続され、ドレインが前記定電流源に接続され、
ゲートとドレイン間を短絡したP型トランジスタと、を備え、
前記P型トランジスタのゲートより、前記基準電圧を出力する、
ことを特徴とする基準電圧発生回路。

【請求項11】 基準電圧を発生して、第1の端子より前記基準電圧を出力する基準電圧発生回路本体と、

前記基準電圧を含む、所定の範囲内の参照電圧を発生する参照基準電圧発生回路と、

スタンバイ期間にオフとなり、通常動作期間にオンとなるスイッチと、
一端を前記スイッチを介して前記第1の端子に接続され、他端を第5の固定電圧に接続された容量素子と、

前記参照電圧と、前記容量素子の一端の電圧とを比較し、比較結果を出力する電圧検知回路と、

前記容量素子の一端の電圧が前記基準電圧に近づくように、前記電圧検知回路の検知結果に応じて前記容量素子の放充電を制御する制御回路と、を備えた、ことを特徴とする基準電圧発生回路。

【請求項12】 請求項11記載の基準電圧発生回路において、
前記参照基準電圧発生回路は、前記基準電圧より高い参照電圧と、前記基準電圧より低い参照電圧との2つの参照電圧を発生し、

前記制御回路は、

前記容量素子の一端にドレインを接続され、ソースを電源電位に接続され、ゲート端子を前記電圧検知回路の出力に接続されたP型トランジスタと、

前記容量素子の一端にドレインを接続され、ソースを接地電位に接続され、ゲートを前記電圧検知回路の出力に接続されたN型トランジスタと、から構成され

前記電圧検知回路は、

前記容量素子の一端の電圧が、前記基準電圧より高い前記参照電圧以上になっ

た時は、前記N型トランジスタをオンに、前記P型トランジスタをオフにし、

前記容量素子の一端の電圧が、前記基準電圧より低い前記参照電圧以下になった時は、前記P型トランジスタをオンに、前記N型トランジスタをオフにし、

前記容量素子の一端の電圧が、2つの参照電圧の間にあるときは、前記2つのトランジスタを共にオフとするように、検知結果を出力する2つのコンパレータから構成される、

ことを特徴とする基準電圧発生回路。

【請求項13】 請求項11記載の基準電圧発生回路において、

前記参照基準電圧発生回路は、前記基準電圧近傍の参照電圧を発生し、

前記制御回路は、

前記容量素子の一端にドレインを接続され、ソースを電源電位に接続され、ゲートを前記電圧検知回路の出力に接続されたP型トランジスタと、

前記容量素子の一端にドレインを接続され、ソースを接地電位に接続され、ゲートを前記電圧検知回路の出力に接続されたN型トランジスタとから構成されており、

前記電圧検知回路は、

前記容量素子の一端の電圧と、前記参照電圧とを比較し、該容量素子の一端の電圧が前記参照電圧以上になった時は、Highを出力し、前記参照電圧以下になった時は、Lowを出力するように、検知結果を出力するヒステリシスコンパレータから構成される、

ことを特徴とする基準電圧発生回路

【請求項14】 基準電圧を発生して、第1の端子より前記基準電圧を出力する基準電圧発生回路本体と、

前記基準電圧より高い参照電圧と、前記基準電圧より低い参照電圧との2つの参照電圧を発生する参照基準電圧発生回路と、

スタンバイ期間にオフとなり、通常動作期間にオンとなるスイッチと、

一端を前記スイッチを介して前記第1の端子に接続され、他端を第5の固定電圧に接続された容量素子と、

ソースを前記容量素子の一端に接続され、ゲートを前記基準電圧より低電位の

前記参照電圧に接続され、ドレインを接地電位に接続されたP型トランジスタと、ソースを前記容量素子の一端に接続され、ゲートを前記基準電圧より高電位の前記参照電圧に接続され、ドレインを電源電位に接続されたN型トランジスタとから構成される、電圧検知制御回路と、を備えた、ことを特徴とする基準電圧発生回路。

【請求項15】 請求項14記載の基準電圧発生回路において、

前記参照基準電圧発生回路は、

前記基準電圧近傍の参照電圧を第1の出力端子より出力するサブ基準電圧発生回路と、

ソースを電源電圧に接続され、ゲートとドレイン間を短絡した第14のP型トランジスタと、ソースを接地電圧に接続され、ドレインを前記第14のP型トランジスタのドレインに接続され、且つゲートとドレイン間を短絡した第8のN型トランジスタとからなるバイアス回路と、

ソースを電源電圧に接続され、ゲートを前記バイアス回路の第14のP型トランジスタのゲートに接続されている第13のP型トランジスタと、

ソースを接地電圧に接続され、ゲートを前記バイアス回路の第8のN型トランジスタのゲートに接続されている第7のN型トランジスタと、

ドレインを前記第13のP型トランジスタのドレインに接続され、ソースを前記第1の出力端子に接続され前記基準電圧近傍にバイアスされ、且つゲートとドレイン間を短絡した第6のN型トランジスタと、

ドレインを前記第7のN型トランジスタのドレインに接続され、ソースを前記第1の出力端子に接続され前記基準電圧近傍にバイアスされ、且つゲートとドレイン間を短絡した第12のP型トランジスタと、を備え、

前記第6のN型トランジスタと、前記第12のP型トランジスタとに所定の電流を流すことにより、該第6のN型トランジスタのゲートに前記基準電圧より高い参照電圧と、該第12のP型トランジスタのゲートに前記基準電圧より低い参照電圧とを発生させる、

ことを特徴とする基準電圧発生回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、基準電圧発生回路に関し、特に、急速起動ができる基準電圧発生回路に関するものである。

【0002】

【従来の技術】

デジタル回路ブロックと、比較的消費電力の多いアナログ回路ブロックとを混載しているシステムLSIにおいて、アナログ回路ブロックの消費電力を低減することが重要な課題になってきている。特に携帯機器では、その要請が強く、使用状態に応じて搭載しているアナログ回路ブロックの電源を適時にオン・オフし、消費電力の低減を計っている。例えば、通信の送受信を含むシステムでは、送信時には、受信回路を、受信時には送信回路を停止させている。

【0003】

図19は、このようなシステムに含まれる、アナログ回路であって、他のアナログ回路をオン・オフする従来の基準電圧発生回路のブロック図を示している。図において、1は基準電圧を発生する基準電圧発生回路本体、2は基準電圧発生回路本体1を用いて動作するアナログ回路、3は基準電圧を安定化させる基準電圧安定化容量である。Pdnはスタンバイ信号で、Hの時には基準電圧発生回路本体1およびアナログ回路2の回路をオフし、Lの時にはそれらをオンする。Vrは基準電圧発生回路本体1の出力電圧で、基準電圧安定化容量3により安定化されている。

【0004】

図20は、スタンバイ信号をH、Lに変えたときの出力電圧Vrの変化を示す概念図である。trは、Vrが安定な基準電圧Vr0を出すまでの復帰時間を表している。

【0005】

このように、従来では、基準電圧発生回路がスタンバイ状態から正常に動作する状態まで、基準電圧安定化容量3に充電する期間trがかかり、復帰を遅くしている。

【0006】

【非特許文献1】

岡村迪夫, 「定本 OP アンプ回路の設計」, CQ 出版株式会社, 平成 2 年 9 月 10 日初版

【0007】

【発明が解決しようとする課題】

以上に示した従来の基準電圧発生回路においては、基準電圧 V_r が安定な基準電圧 V_{r0} になるまでに時間がかかり、システムから要求される復帰時間を満足できないことがある。特に基準電圧安定化容量 C が大きい回路では、容量に充電する時間が大きくなり、復帰時間 t_r は非常に大きくて、アナログ回路を適時にオン・オフすることができないという問題がある。

【0008】

本発明は、上記のような問題を解決するためになされたもので、基準電圧が急速に安定することのできる基準電圧発生回路を提供することを目的とする。

【0009】

【課題を解決するための手段】

前記従来の課題を解決する為、本発明の請求項 1 記載の基準電圧発生回路は、基準電圧を発生する基準電圧発生回路本体と、前記基準電圧を安定化させる基準電圧安定用容量と、前記基準電圧を急速に安定化させる基準電圧急速安定器とを備えたものである。

【0010】

また、本発明の請求項 2 記載の基準電圧発生回路は、請求項 1 記載の基準電圧発生回路において、前記基準電圧急速安定器は、前記基準電圧安定用容量に対して、急速に充電を行う、あるいは急速に放電を行う急速充放電用電流源からなるものである。

【0011】

本発明の請求項 3 記載の基準電圧発生回路は、請求項 2 記載の基準電圧発生回路において、前記急速充放電用電流源は、所定の電流を出力するバイアス電流源と、ソースが電源電圧に接続され、ドレインが前記バイアス電流源に接続され、

ゲートとドレイン間を短絡した第1のP型トランジスタと、ソースが電源電圧に接続され、ドレインが前記基準電圧安定用容量に接続され、ゲートが前記第1のP型トランジスタのゲートに接続されている第2のP型トランジスタと、を備えた急速充電用P型トランジスタ電流源からなるものである。

【0012】

本発明の請求項4記載の基準電圧発生回路は、請求項2記載の基準電圧発生回路において、前記急速充放電用電流源は、所定の電流を出力するバイアス電流源と、ソースが接地電圧に接続され、ドレインが前記バイアス電流源に接続され、ゲートとドレイン間を短絡した第1のN型トランジスタと、ソースが接地電圧に接続され、ドレインが前記基準電圧安定用容量に接続され、ゲートが前記第1のN型トランジスタのゲートに接続されている第2のN型トランジスタと、を備えた急速放電用N型トランジスタ電流源からなるものである。

【0013】

本発明の請求項5記載の基準電圧発生回路は、請求項1記載の基準電圧発生回路において、サブ基準電圧を発生するサブ基準電圧発生回路と、前記基準電圧発生回路本体により発生した基準電圧と、前記サブ基準電圧発生回路により発生したサブ基準電圧とを比較し、その比較結果を出力する電圧検知用比較器と、前記電圧検知用比較器の比較結果に応じて、前記基準電圧急速安定器の、前記基準電圧安定用容量に対する充電、あるいは放電を行う動作を停止させる停止回路と、を備えたものである。

【0014】

本発明の請求項6記載の基準電圧発生回路は、請求項5記載の基準電圧発生回路において、前記サブ基準電圧発生回路は、前記サブ基準電圧を安定化させる容量を備えていないものである。

【0015】

本発明の請求項7記載の基準電圧発生回路は、請求項5記載の基準電圧発生回路において、前記サブ基準電圧発生回路は、抵抗分圧回路からなる、ことを特徴とする基準電圧発生回路ものである。

【0016】

本発明の請求項 8 記載の基準電圧発生回路は、基準電圧を発生して、第 1 の端子より前記基準電圧を出力する基準電圧発生回路本体と、スタンバイ期間に、両端が第 1 の定電圧に接続し充電され、通常動作期間に、一端が前記第 1 の定電圧に接続され、他端が前記基準電圧より高い第 3 の電圧に接続され充電される第 1 の容量素子と、スタンバイ期間に、両端が第 2 の定電圧に接続し充電され、通常動作期間に、一端が前記第 2 の定電圧に接続され、他端が前記基準電圧より低い第 4 の電圧に接続され充電される第 2 の容量素子と、を備え、前記第 1 の容量素子と前記第 2 の容量素子との容量比は、前記第 3 の電圧に充電された該第 1 の容量素子の一端と、前記第 4 の電圧に充電された該第 2 の容量素子の一端とを共通接続点としたときの、該共通接続点の電位が前記基準電圧近傍に収束するような値であり、前記スタンバイ期間から通常動作期間に遷移する際に、該基準電圧を出力する前記第 1 の端子と、前記共通接続点とを、非導通状態から導通状態にするものである。

【0017】

本発明の請求項 9 記載の基準電圧発生回路は、基準電圧を発生して、第 1 の端子より前記基準電圧を出力する基準電圧発生回路本体と、ソースを前記基準電圧より少なくともトランジスタのしきい値電圧だけ異なる第 1 の定電圧に接続され、スタンバイ期間には、ゲートとドレインを電氣的に共通接続され、且つ前記ゲートと前記ソースとの電位差が前記しきい値電圧より大きい所定の電圧になるようにバイアスされ、通常動作期間には、前記ソースと前記ドレインを電氣的に共通接続される第 8 の P 型トランジスタと、ソースを前記第 8 の P 型トランジスタのソースに接続され、ドレインを該第 8 の P 型トランジスタのドレインに接続され、該第 8 の P 型トランジスタのソースとドレインを、スタンバイ期間には電氣的に切断し、通常動作期間には電氣的に共通接続させる第 7 の P 型トランジスタと、ソースを前記第 8 の P 型トランジスタのドレインに接続され、ドレインを該第 8 の P 型トランジスタのゲートに接続され、該第 8 の P 型トランジスタのゲートとドレインを、スタンバイ期間には電氣的に共通接続させ、通常動作期間には電氣的に切断する第 6 の P 型トランジスタと、ソースを第 2 の定電圧に接続され、ドレインを前記第 8 の P 型トランジスタのゲートに接続され、スタンバイ期間

には、該第8のP型トランジスタのゲートとソースとの電位差が該第8のP型トランジスタのしきい値電圧より大きい所定の電圧になるようにバイアスし、通常動作期間にはオフする第3のN型トランジスタと、ソースを前記第1の定電圧に接続され、ドレインを前記第1の端子に接続され、スタンバイ期間にはオンし、通常動作期間にはオフする第9のP型トランジスタと、ソースを前記第1の端子に接続され、ドレインを前記第8のP型トランジスタのゲートに接続され、前記スタンバイ期間から通常動作期間への遷移時には、少なくとも前記第8のP型トランジスタのゲートと前記第1の端子との電位差が所定値となるまでの期間中に、導通する第5のP型トランジスタとを備えたものである。

【0018】

本発明の請求項10記載の基準電圧発生回路は、請求項9記載の基準電圧発生回路において、前記基準電圧発生回路本体は、所定の電流を出力する定電流源と、ソースが前記第1の定電圧に接続され、ドレインが前記定電流源に接続され、ゲートとドレイン間を短絡したP型トランジスタと、を備え、前記P型トランジスタのゲートより、前記基準電圧を出力するものである。

【0019】

本発明の請求項11記載の基準電圧発生回路は、基準電圧を発生して、第1の端子より前記基準電圧を出力する基準電圧発生回路本体と、前記基準電圧を含む、所定の範囲内の参照電圧を発生する参照基準電圧発生回路と、スタンバイ期間にオフとなり、通常動作期間にオンとなるスイッチと、一端を前記スイッチを介して前記第1の端子に接続され、他端を第5の固定電圧に接続された容量素子と、前記参照電圧と、前記容量素子の一端の電圧とを比較し、比較結果を出力する電圧検知回路と、前記容量素子の一端の電圧が前記基準電圧に近づくように、前記電圧検知回路の検知結果に応じて前記容量素子の放充電を制御する制御回路とを備えたものである。

【0020】

本発明の請求項12記載の基準電圧発生回路は、請求項11記載の基準電圧発生回路において、前記参照基準電圧発生回路は、前記基準電圧より高い参照電圧と、前記基準電圧より低い参照電圧との2つの参照電圧を発生し、前記制御回路

は、前記容量素子の一端にドレインを接続され、ソースを電源電位に接続され、ゲート端子を前記電圧検知回路の出力に接続されたP型トランジスタと、前記容量素子の一端にドレインを接続され、ソースを接地電位に接続され、ゲートを前記電圧検知回路の出力に接続されたN型トランジスタと、から構成され、前記電圧検知回路は、前記容量素子の一端の電圧が、前記基準電圧より高い前記参照電圧以上になった時は、前記N型トランジスタをオンに、前記P型トランジスタをオフにし、前記容量素子の一端の電圧が、前記基準電圧より低い前記参照電圧以下になった時は、前記P型トランジスタをオンに、前記N型トランジスタをオフにし、前記容量素子の一端の電圧が、2つの参照電圧の間にあるときは、前記2つのトランジスタを共にオフとするように、検知結果を出力する2つのコンパレータから構成されるものである。

【0021】

本発明の請求項13記載の基準電圧発生回路は、請求項11記載の基準電圧発生回路において、前記参照基準電圧発生回路は、前記基準電圧近傍の参照電圧を発生し、前記制御回路は、前記容量素子の一端にドレインを接続され、ソースを電源電位に接続され、ゲートを前記電圧検知回路の出力に接続されたP型トランジスタと、前記容量素子の一端にドレインを接続され、ソースを接地電位に接続され、ゲートを前記電圧検知回路の出力に接続されたN型トランジスタとから構成されており、前記電圧検知回路は、前記容量素子の一端の電圧と、前記参照電圧とを比較し、該容量素子の一端の電圧が前記参照電圧以上になった時は、Highを出力し、前記参照電圧以下になった時は、Lowを出力するように、検知結果を出力するヒステリシスコンパレータから構成されるものである。

【0022】

本発明の請求項14記載の基準電圧発生回路は、基準電圧を発生して、第1の端子より前記基準電圧を出力する基準電圧発生回路本体と、前記基準電圧より高い参照電圧と、前記基準電圧より低い参照電圧との2つの参照電圧を発生する参照基準電圧発生回路と、スタンバイ期間にオフとなり、通常動作期間にオンとなるスイッチと、一端を前記スイッチを介して前記第1の端子に接続され、他端を第5の固定電圧に接続された容量素子と、ソースを前記容量素子の一端に接続さ

れ、ゲートを前記基準電圧より低電位の前記参照電圧に接続され、ドレインを接地電位に接続されたP型トランジスタと、ソースを前記容量素子の一端に接続され、ゲートを前記基準電圧より高電位の前記参照電圧に接続され、ドレインを電源電位に接続されたN型トランジスタとから構成される、電圧検知制御回路と、を備えたものである。

【0023】

本発明の請求項15記載の基準電圧発生回路は、請求項14記載の基準電圧発生回路において、前記参照基準電圧発生回路は、前記基準電圧近傍の参照電圧を第1の出力端子より出力するサブ基準電圧発生回路と、ソースを電源電圧に接続され、ゲートとドレイン間を短絡した第14のP型トランジスタと、ソースを接地電圧に接続され、ドレインを前記第14のP型トランジスタのドレインに接続され、且つゲートとドレイン間を短絡した第8のN型トランジスタとからなるバイアス回路と、ソースを電源電圧に接続され、ゲートを前記バイアス回路の第14のP型トランジスタのゲートに接続されている第13のP型トランジスタと、ソースを接地電圧に接続され、ゲートを前記バイアス回路の第8のN型トランジスタのゲートに接続されている第7のN型トランジスタと、ドレインを前記第13のP型トランジスタのドレインに接続され、ソースを前記第1の出力端子に接続され前記基準電圧近傍にバイアスされ、且つゲートとドレイン間を短絡した第6のN型トランジスタと、ドレインを前記第7のN型トランジスタのドレインに接続され、ソースを前記第1の出力端子に接続され前記基準電圧近傍にバイアスされ、且つゲートとドレイン間を短絡した第12のP型トランジスタと、を備え、前記第6のN型トランジスタと、前記第12のP型トランジスタとに所定の電流を流すことにより、該第6のN型トランジスタのゲートに前記基準電圧より高い参照電圧と、該第12のP型トランジスタのゲートに前記基準電圧より低い参照電圧とを発生させるものである。

【0024】

【発明の実施の形態】

以下に、本発明の実施の形態について、図面を参照しながら説明する。

（実施の形態1）

図1は、本発明の実施の形態1による基準電圧発生回路の構成を示す図である。

【0025】

図1において、基準電圧発生回路は、基準電圧を発生する基準電圧発生回路本体1と、基準電圧を安定化させる基準電圧安定化容量3と、P型トランジスタP1、P2及びバイアス電流源Ibiasからなる、基準電圧を急速に安定させる基準電圧急速安定器4と、から構成されている。

【0026】

なお、バイアス電流源Ibiasの一端は、基準電位(GND)と、バイアス電流源Ibiasの他端は、カレントミラー用P型トランジスタP1のドレイン端子、ゲート端子、及びカレントミラー用P型トランジスタP2のゲート端子とそれぞれ接続される。トランジスタP1のソース端子、及びトランジスタP2のソース端子は、基準電位(VDD)と接続されており、トランジスタP1とトランジスタP2がカレントミラーを形成している。

【0027】

また、基準電圧発生回路本体1の出力端子は、トランジスタP2のドレイン端子及び基準電圧安定化容量3の一端と共通接続され、基準電圧安定化容量3の残る一端は、基準電位(GND)と接続されている。

【0028】

次に、以上のように構成されている本発明の実施の形態1による基準電圧発生回路の動作を説明する。

電流源Ibiasによりバイアス電流が基準電位(GND)に引かれることにより、トランジスタP1が導通となり、電流Ibiasが流れる。また、カレントミラー構成により、トランジスタP2も導通となり、トランジスタP2に電流Ibiasが流れる。この電流Ibiasにより、基準電圧安定化容量3に充電電流Ibiasが流れる。これにより、基準電圧発生回路本体1の出力端子の電圧、即ち、本基準電圧発生回路の出力電圧Vrが直線的に上昇する。

【0029】

図2は、本実施の形態1による基準電圧発生回路の電圧波形、及び従来の基準

電圧発生回路の電圧波形を示したものである。同図に示すように、従来の基準電圧発生回路においては電圧が安定するまでの復帰時間は $t_{r2} = -RC \cdot \ln(1 - V_{rf}/V_{ro})$ となる。例えば、目標とする安定電圧 V_{rf} を V_{ro} の 99% とすると、 $t_{r2} = -RC \cdot \ln(1 - 0.99)$ となる。一方、本発明の構成により基準電圧が安定電圧に達するまでの復帰時間は $t_{r1} = CV_{ro}/I_{bias}$ となり、電流 I_{bias} を大きくすることにより、復帰時間を短くすることができる。なお、ここでは、 C は基準電圧安定化容量 3 の容量、 R は基準電圧安定化容量 3 に電流が流れ充電されるパスに含まれる抵抗成分、 V_{ro} は安定な基準電圧である。

【0030】

このように、本実施の形態 1 による基準電圧発生回路では、基準電圧発生回路本体 1 に、基準電圧安定化容量 3 と P 型トランジスタよりなる基準電圧急速安定器 4 とを設けるようにしたので、スタンバイ状態から通常動作状態に遷移する際、従来のような基準電圧発生回路本体 1 からの電流のみで基準電圧安定化容量 3 を充電するのと比較して、基準電圧急速安定器 4 により基準電圧安定化容量 3 を急速に充電することで、基準電圧発生回路本体 1 の出力端子の電圧 V_r を急速に上昇させることができる。

【0031】

なお、本実施の形態 1 の説明においては、通常のカレントミラー回路を用いて説明したが、カスコード型カレントミラーでも同様の効果が得られる。

また、トランジスタ P2 と基準電圧安定化容量 3 との間に、ダイオード接続したトランジスタを挿入することにより、電圧 V_r を変化させることもできる（図示せず）。

【0032】

（実施の形態 2）

図 3 は、本発明の実施の形態 2 による基準電圧発生回路の構成を示す図である。

【0033】

図 3 において、基準電圧発生回路は、基準電圧を発生する基準電圧発生回路本

体 1 と、基準電圧を安定化させる基準電圧安定化容量 3 と、N 型トランジスタ N 1、N 2 及びバイアス電流源 I b i a s からなる、基準電圧を急速に安定させる基準電圧急速安定器 5 と、から構成されている。

【0034】

なお、バイアス電流源 I b i a s の一端は基準電位 (VDD) と、バイアス電流源 I b i a s の他端は、カレントミラー用 N 型トランジスタ N 1 のドレイン端子、ゲート端子、およびカレントミラー用 N 型トランジスタ N 2 のゲート端子とそれぞれ接続される。トランジスタ N 1 のソース端子及びトランジスタ N 2 のソース端子は、基準電位 (GND) と接続されており、トランジスタ N 1 とトランジスタ N 2 がカレントミラーを形成している。

【0035】

また、基準電圧発生回路本体 1 の出力端子は、トランジスタ N 2 のドレイン端子及び基準電圧安定化容量 3 の一端と共通接続され、基準電圧安定化容量 3 の残る一端は、基準電位 (VDD) と接続されている。

【0036】

次に、以上のように構成されている本発明の実施の形態 2 による基準電圧発生回路の動作を説明する。

基準電圧安定化容量 3 は、基準電位 VDD によって高電位まで充電される。そして、電流源 I b i a s によりバイアス電流が基準電位 (VDD) より流し込まれることにより、トランジスタ N 1 に電流 I b i a s、また、カレントミラー構成により、トランジスタ N 2 にも電流 I b i a s が流れる。この電流 I b i a s により、基準電圧安定化容量 3 に充電電流 I b i a s が流れる。それと同時に、トランジスタ N 2 が導通したことにつれ、基準電圧発生回路本体 1 の出力端子での電圧 V_r が直線的に下降し、同時に基準電圧安定化容量 3 は放電する。

【0037】

図 4 は、本実施の形態 2 による基準電圧発生回路の電圧波形と、従来の基準電圧発生回路の電圧波形を示したものである。同図に示すように、従来の基準電圧発生回路においては電圧が安定するまでの復帰時間は $t_{r2} = -RC \cdot \ln(1 - (V_s - V_{rf}) / (V_s - V_{ro}))$ となる (V_s は初期電圧)。例えば

、目標とする安定電圧 V_{rf} を $(V_s - V_{ro})$ の 99% とすると、 $t_{r2} = -RC \cdot \ln(1 - 0.99)$ となる。一方、本発明の構成により基準電圧が安定電圧 V_{ro} に達するまでの復帰時間は $t_{r1} = C(V_s - V_{ro}) / I_{bias}$ となり、電流 I_{bias} を大きくすることにより、復帰時間を短くすることができる。なお、ここでは、 C は基準電圧安定化容量 3 の容量、 R は基準電圧安定化容量 3 に電流が流れ充電されるパスに含まれる抵抗成分である。

【0038】

このように、本実施の形態 2 による基準電圧発生回路では、基準電圧発生回路本体 1 に、基準電圧安定化容量 3 と N 型トランジスタよりなる基準電圧急速安定器 5 とを設けるようにしたので、スタンバイ状態から通常動作状態に遷移する際、充電していた基準電圧安定化容量 3 を基準電圧急速安定器 5 により急速に放電させることで、基準電圧発生回路本体 1 の出力端子での電圧 V_r を急速に下降させることができる。

【0039】

なお、本実施の形態 2 の説明においては通常のカレントミラー回路を用いて説明したが、カスコード型カレントミラーでも同様の効果が得られる。

また、トランジスタ N_2 と基準電圧安定化容量 3 との間に、ダイオード接続したトランジスタを挿入することにより、電圧 V_r を変化させることもできる（図示せず）。

【0040】

(実施の形態 3)

図 5 は、本発明の実施の形態 3 による基準電圧発生回路の構成を示したものである。

【0041】

図 5 において、前記基準電圧発生回路は、基準電圧を発生する基準電圧発生回路本体 1 と、基準電圧を安定化させる基準電圧安定化容量 3 と、基準電圧を急速に安定化させる基準電圧急速安定器（P 型トランジスタ）4 と、サブ基準電圧を発生するサブ基準電圧発生回路 6 と、前記基準電圧とサブ基準電圧とを検知比較してその比較結果を出力する電圧検知用比較器 7 と、前記比較結果に応じて基準

電圧急速安定器 4 の容量 3 への充電動作を停止させる停止回路 8 とによって構成されている。

【0042】

なお、トランジスタ P 3 のソース端子は、基準電位 (VDD) と、トランジスタ P 3 のゲート端子は、停止回路 8 の出力と、電圧検知用比較器 7 の出力は、停止回路 8 の入力と、基準電圧発生回路本体 1 の出力は、トランジスタ P 3 のドレイン端子、基準電圧安定化容量 3 の一端、及び電圧検知用比較器 7 の入力端子 V_{in} と、サブ基準電圧発生回路 6 の出力は、電圧検知用比較器 7 の比較電圧端子 V_{ref} と、スタンバイ信号 Pdn は、基準電圧発生回路本体 1 およびサブ基準電圧発生回路 6 と、それぞれ接続されている。また、基準電圧安定化容量 3 の他端は、基準電位 (GND) と接続されている。

【0043】

次に、以上のように構成されている本発明の実施の形態 3 による基準電圧発生回路の動作について説明する。

図 6 は、本実施の形態 3 による基準電圧発生回路の電圧波形、サブ基準電圧発生回路 6 の電圧波形、および従来の基準電圧発生回路の電圧波形を示したものである。

【0044】

サブ基準電圧発生回路 6 は、安定化容量を持たないものであるため、基準電圧発生回路の出力電圧 V_r に比べ、サブ基準電圧発生回路 6 の出力電圧 V_{rsu} は、急峻に安定な基準電圧 V_{ro} に近づく。これに対して、基準電圧発生回路の出力電圧 V_r は、基準電圧急速安定器 4 によって充電されるため直線的に上昇する。

【0045】

基準電圧発生回路の出力電圧 V_r がサブ基準電圧発生回路 6 の出力電圧 V_{rsu} と等しくなった時、電圧検知用比較器 7 の比較結果が遷移する。電圧検知用比較器 7 の出力に従って、停止回路 8 は基準電圧急速安定器 4 の充電する動作を停止させる。

【0046】

このように、本実施の形態 3 による基準電圧発生回路では、基準電圧を発生する基準電圧発生回路本体 1 と、サブ基準電圧を急峻に発生するサブ基準電圧発生回路 6 と、基準電圧安定化容量 3 を急速に充電する基準電圧急速安定器 4 と、前記サブ基準電圧と前記基準電圧とを検知比較し、その比較結果を出力する電圧検知用比較器 7 と、前記基準電圧が前記サブ電圧と等しくなったと検知されたとき、基準電圧急速安定器 4 の充電動作を停止させる停止回路 8 とを備えるようにしたので、基準電圧発生回路本体 1 の出力端子での電圧 V_r を急速に上昇させることができ、また、すばやく正確に任意の基準電圧を得ることができる。

【0047】

なお、本実施の形態 3 の説明においては P 型トランジスタ電流源を用いて説明したが、前述した実施の形態 2 に示したように N 型トランジスタを用いても同様の効果が得られる。

また、本説明においては通常のカレントミラーを対象にして説明したが、カスコード型カレントミラーでも同様の効果が得られる。

【0048】

また、サブ基準電圧発生回路 6 は、基準電圧発生回路本体 1 と全く同じ構成や、図 7 に示すような抵抗器を用いた分圧回路でもよい。すなわち、安定な基準電圧 V_{ro} に近づく電圧を急峻に発生できる基準電圧発生回路であれば、同様な効果が得られる。

【0049】

また、基準電圧発生回路の出力電圧 V_r が安定な基準電圧 V_{ro} に到達し、基準電圧急速安定器 4 を停止させた後、サブ基準電圧発生回路 6 を停止させることにより消費電力を削減することが可能である。

【0050】

(実施の形態 4)

図 8 は、本発明の実施の形態 4 に係る基準電圧発生回路の構成を示したものである。

【0051】

図 8 において、前記基準電圧発生回路は、出力端子 9 から基準電圧 V_0 を発生

する基準電圧発生回路本体10と、一端を電源電圧V1に接続され、他端をスイッチSW1を介して前記電源電圧V1に接続された第1の容量素子C1と、一端を接地電圧V2に接続され、他端をスイッチSW2を介して前記接地電圧V2に接続された第2の容量素子C2と、前記スイッチSW1と前記第1の容量素子C1との接続点、及び前記スイッチSW2と前記第2の容量素子C2との接続点に両端を接続されたスイッチSW3と、前記スイッチSW3の一端と前記出力端子9とに両端を接続されたスイッチSW4と、から構成され、前記出力端子9を基準電圧発生回路の基準電圧出力端子とする。

【0052】

以上のように構成された本実施の形態4による基準電圧発生回路について、以下、その動作について説明する。

図9は、本発明実施の形態4による基準電圧発生回路本体10の動作状態と、スイッチSW1～4のON/OFF状態遷移のタイミング、および基準電圧発生回路の各地点の電圧変化を示す図である。

【0053】

スタンバイ期間においては、基準電圧発生回路本体10はOFF状態であって、電力を消費しない。このとき、出力端子9の出力電圧V5は接地電圧V2である。また、スイッチSW1およびスイッチSW2はON状態、スイッチSW3およびスイッチSW4はOFF状態であり、第1の容量素子C1と第2の容量素子C2は、それぞれ電圧V1および電圧V2によってセットされる。

【0054】

スタンバイ期間から通常動作期間へ遷移する際に、先ず、スイッチSW1およびスイッチSW2がOFF状態となってリセット状態を保持する。また、このとき基準電圧発生回路本体10もON状態となって、出力端子9の出力電圧V5は、基準電圧V0に向かって行く。

【0055】

次に、スイッチSW3がOFFからON状態になると、第1の容量素子C1の一端の電圧V3と、第2の容量素子C2の一端の電圧V4とは、容量素子C1とC2との容量比に従って基準電圧V0近傍の電圧に収束して行く。

【0056】

次に、スイッチSW4がOFFからON状態になると、出力端子9は、基準電圧V0近傍の電圧値となっている第1および第2の容量素子C1、C2と導通状態となり、出力端子9の電圧は、基準電圧V0に向かって急速に上昇する。

【0057】

このように、本実施の形態4による基準電圧発生回路では、基準電圧発生回路本体10と、基準電圧より高い電位と低い電位にそれぞれ接続され、スタンバイ期間中に充電して待機する第1の容量素子C1及び第2の容量素子C2と、通常動作の状態のときに、前記容量素子C1とC2との接続点を、基準電圧発生回路本体10の出力端子に接続するスイッチSW4と、を設けるようにしたので、スタンバイ期間に、容量素子C1とC2との接続点の電位が基準電圧V0近傍となるように、容量値を選択された該容量素子C1、C2を所定の電圧に充電しておいて、通常動作期間にC1とC2との接続点を出力端子9に接続することにより、基準電圧V0を発生する動作状態に短時間で移行することができる。

【0058】

(実施の形態5)

図10は、本発明の実施の形態5に係る基準電圧発生回路の構成を示したものである。

【0059】

図10において、基準電圧発生回路は、基準電圧発生回路本体10と、PMOSトランジスタP8と、及びスイッチとして機能するトランジスタP5～P7、N3、P9と、によって構成されている。

【0060】

なお、基準電圧発生回路本体10は、一端を接地電圧V2に接続された電流源I0と、ソースを電源電圧V1に接続され、ゲートとドレインとを共通接続されたPMOSトランジスタP4とで構成され、電流源I0とPMOSトランジスタP4との接続点を出力端子9として、基準電圧V0を発生する。

【0061】

PMOSトランジスタP8は、ゲート・ドレイン間、及びソース・ドレイン間

にそれぞれPMOSトランジスタP6、P7を挿入され、ソースを電源電圧V1に接続されている。

【0062】

出力端子9には、PMOSトランジスタP5を介して、PMOSトランジスタP8のゲートと、ソースを接地電圧V2に接続されたNMOSトランジスタN3のドレインとが、共通接続されている。また、出力端子9には、ソースを電源電圧V1に接続されたPMOSトランジスタP9が接続されている。

【0063】

また、PMOSトランジスタP5のゲートは、制御電圧VCTL1に接続され、PMOSトランジスタP6、P9のゲートは、制御電圧VCTL2に接続されている。PMOSトランジスタP7のゲート、及びNMOSトランジスタN3のゲートは、制御電圧VCTL2と位相が相補の関係にある、制御電圧VCTL2Bに接続されている。トランジスタP5～P7、N3、P9は、制御電圧VCTL1、VCTL2、およびVCTL2BによってON/OFF状態を制御されるスイッチ素子として機能する。

【0064】

さらに、すべてのPMOSトランジスタの基板は電源電圧V1に、NMOSトランジスタの基板は接地電圧V2に接続されているものとする。

【0065】

以上のように構成された本実施の形態5による基準電圧発生回路について、以下その動作について説明する。

【0066】

図11は、本実施の形態5による基準電圧発生回路本体10の動作状態と、トランジスタP5～P7、N3、P9のON/OFF状態遷移のタイミングと、基準電圧発生回路の電圧変化とを示す図である。

【0067】

スタンバイ期間においては、制御電圧VCTL2は接地電圧V2、制御電圧VCTL1および制御電圧VCTL2Bは電源電圧V1である。電流源I0はOFF状態であって、基準電圧発生回路本体10は電流を消費しない。PMOSトラ

ンジスタP5はOFF状態で、PMOSトランジスタP9はON状態であるので、出力端子9の出力電圧V5は電源電圧V1である。

【0068】

また、PMOSトランジスタP6はON状態で、PMOSトランジスタP7はOFF状態であるので、PMOSトランジスタP8は、ゲートとドレインが電氣的に接続されて、所謂ダイオード接続状態となる。PMOSトランジスタP8のゲート・ソース電圧がしきい値電圧近傍となるように、所定のトランジスタサイズに選定されたNMOSトランジスタN3はON状態であるので、PMOSトランジスタP8のゲート電圧V6は電源電圧V1からしきい値電圧だけ低下した電圧となる。

【0069】

スタンバイ期間から通常動作期間へ遷移すると、まず、制御電圧VCTL2が電源電圧V1に、制御電圧VCTL2Bが接地電圧V2になる。電流源I0はON状態に遷移し、PMOSトランジスタP9がOFF状態に遷移するので、出力端子9の出力電圧V5は基準電圧V0に向かって低下して行く。

【0070】

これと同時に、PMOSトランジスタP6がOFF状態に、PMOSトランジスタP7がON状態に遷移して、PMOSトランジスタP8のソースとドレインが電源電圧V1に電氣的に共通接続される。また、NMOSトランジスタN3がOFF状態に遷移するので、PMOSトランジスタP8は容量素子として機能し、電源電圧V1に電氣的に接続されたソース、ドレイン、基板に対して、ゲート電圧V6として電源電圧V1からしきい値電圧分だけ下がった電圧を蓄積した状態となる。

【0071】

次に、PMOSトランジスタP5がON状態に遷移すると、PMOSトランジスタP5のソースとドレインが導通状態となって、出力電圧V5とゲート電圧V6とは、同電圧となるように電圧が変化する。

【0072】

ゲート電圧V6は、容量素子として機能しているPMOSトランジスタP8の

充電電圧であり、そのゲート面積をPMOSトランジスタP4に比べて十分大きいサイズに選択しているので、ゲート電圧V6の電圧変動は出力電圧V5に比べて小さく、出力電圧V5はゲート電圧V6近傍の電圧すなわち、電源電圧V1からPMOSトランジスタP8のしきい値電圧分だけ低下した電圧に急激に変化する。PMOSトランジスタP5は出力電圧V5の電圧変化が定常状態になる所定の期間の後にOFF状態に遷移し、出力電圧V5は電流源I0によって基準電圧V0に向かって低下して行く。

【0073】

PMOSトランジスタP5がON状態に遷移している期間における出力電圧V5の電圧応答は、PMOSトランジスタP5のON抵抗と、出力端子9に繋がる容量値とで決定され、現在の半導体プロセス（ $0.35\mu\text{m}\sim 0.13\mu\text{m}$ プロセス）では、一般的な設計においてON抵抗=100Ω程度、容量値=1pF程度であり、その時定数は0.1ns程度であるので、出力電圧V5の定常状態への電圧応答時間として1ns程度を容易に実現できる。一方、電流源I0の電流値としては、一般的な設計において $10\mu\text{A}$ 程度であるので、PMOSトランジスタP8のしきい値電圧を0.5Vとすると、定常状態への電圧応答時間としては少なくとも50ns程度となるので、本実施の形態では出力電圧V5の基準電圧V0への電圧変化を、電流源I0のみの場合に比べて高速化することができる。

【0074】

このように、本実施の形態5による基準電圧発生回路では、P型トランジスタと定電流源とからなる基準電圧発生回路本体10と、スタンバイ期間にゲート電圧を基準電圧近傍の高い電源電圧にバイアスされ、通常動作期間に容量として機能するP型トランジスタP8と、スイッチとして前記P8と基準電圧発生回路本体10の出力端子とを接続するP型トランジスタP5とを備えるようにしたので、通常の基準電圧発生回路本体10のみの場合と比較して、本基準電圧発生回路の出力電圧V5が高速的に基準電圧V0へ変化することができる。

【0075】

（実施の形態6）

図12は、本発明の実施の形態6による基準電圧発生回路の構成を示したものである。

【0076】

図12において、前記基準電圧発生回路は、基準電圧を発生する基準電圧発生回路本体1と、前記基準電圧を安定化させる基準電圧安定化容量3と、前記基準電圧発生回路本体1の出力端子と基準電圧安定化容量3とを接続する、前記基準電圧を使用しない第1の期間にオフとなり、前記基準電圧を使用する第2の期間にオンとなるスイッチSWと、2つの参照電圧 V_{ref1} 、 V_{ref2} を発生する参照基準電圧発生回路11と、前記基準電圧安定化容量3の一端の電圧と前記参照電圧を検知比較し、その結果を出力する電圧検知回路12と、前記電圧検知回路12の検知結果に応じて、前記容量3の放充電を制御する制御回路13と、から構成されている。

【0077】

前記電圧検知回路12は、2つのコンパレータ($Comp1$ と $Comp2$)を備えて、前記基準電圧安定化容量3の一端の電圧と前記2つの参照電圧とを入力とし、それらの比較を行い、前記基準電圧安定化容量3の一端の電圧が、第1の参照電圧より大きい、第2の参照電圧より小さい、又は、第1の参照電圧と第2の参照電圧との間にある、といった3種類の状態を表す信号を出力する。前記制御回路13は、P型トランジスタP10とN型トランジスタN4とから構成されていて、前記電圧検知回路12の出力に応じて前記容量3の放充電の制御を行う。

【0078】

基準電圧発生回路本体1の出力は、スイッチSWを介して、基準電圧安定化容量3の一端（他端は基準電圧（GND）に接続）と、制御回路13のトランジスタP10のドレイン端子およびトランジスタN4のドレイン端子と、電圧検知回路12の $Comp1$ および $Comp2$ の入力端子と、共通接続されている。

【0079】

また、トランジスタP10のソース端子は、基準電位（VDD）と、トランジスタN4のソース端子は、基準電位（GND）と、トランジスタP10のゲート

端子は、Comp 1 の出力端子と、トランジスタ N4 のゲート端子は、Comp 2 の出力端子と、参照基準電圧発生回路 11 の出力端子 V_{ref2} は、Comp 1 の比較電圧端子と、参照基準電圧発生回路 11 の出力端子 V_{ref1} は、Comp 2 の比較電圧端子と、スタンバイ端子は、基準電圧発生回路本体 1 の入力端子および参照基準電圧発生回路 11 の入力端子と、それぞれ接続されている。ただし、ここでは $V_{ref1} > V_{ref2}$ とする。

【0080】

次に、以上のように構成されている本発明の実施の形態 6 による基準電圧発生回路の動作について説明する。

なお、ここでは、基準電圧安定化容量 3 の一端の電圧 V_r が参照電圧 V_{ref2} 以下になった時の動作のみを説明する。

【0081】

図 13 は、本実施の形態 6 による基準電圧発生回路の出力電圧、および従来の基準電圧発生回路の出力電圧の変化を示したものである。

スタンバイ時、スイッチ SW は OFF となっている。電圧 V_r が参照電圧 V_{ref1} 以下かつ参照電圧 V_{ref2} 以上の時は、トランジスタ P10 とトランジスタ N4 は共に OFF する。電圧 V_r が時間の経過やノイズの影響などによって参照電圧 V_{ref2} 以下になると、トランジスタ P10 のみが ON する。したがって、基準電位 (VDD) からトランジスタ P10 を介して基準電圧安定化容量 3 に電流が流れ込み、電圧 V_r は上昇する。電圧 V_r が参照電圧 V_{ref2} 以上になると、トランジスタ P10 は再び OFF し基準電圧安定化容量 3 に流れ込む電流が止まり、電圧 V_r は値を保持しようとする。

【0082】

電圧 V_r が参照電圧 V_{ref1} 以上になった時は、同様にトランジスタ N4 が ON し、基準電圧安定化容量 3 から電流が流れ出し電圧 V_r は低下する。

また、通常動作状態に遷移すると、スイッチ SW は ON となり、基準電圧発生回路本体 1 の出力端子は、スイッチ SW を介して、基準電圧安定化容量 3 と接続し、前記出力端子での電圧 V_0 は、急速的に電圧 V_r に接近し、そして次第に安定な基準電圧 V_{r0} に到達する。

【0083】

このように、本実施の形態6による基準電圧発生回路では、基準電圧発生回路本体1と、2つの参照電圧を発生する参照基準電圧発生回路11と、基準電圧安定化安定化容量3と、前記容量3の一端の電圧と前記参照電圧とを比較する電圧検知回路12と、前記容量3の放充電を制御する制御回路13と、及び前記基準電圧発生回路本体1と前記容量3を接続するスイッチと、を備えたものとしたので、本基準電圧発生回路はスタンバイの期間に、前記容量3の一端の電圧 V_r を常に参照電圧 V_{ref1} と V_{ref2} の間に保とうとし、通常動作に復帰する時に、基準電圧発生回路本体の出力端子を、電圧 V_r が安定な基準電圧 V_{r0} 近傍にある前記容量3の一端に接続することにより、基準電圧発生回路本体1の出力端子の電圧 V_o が安定な基準電圧 V_{r0} に達するまでの時間 t_{r1} を従来の回路より短くすることができる。

なお、参照基準電圧発生回路11は、図14の回路のように抵抗分圧で実現できる。

【0084】

また、図15は、電圧検知回路12にヒステリシスコンパレータを用いた基準電圧発生回路の構成を示したものである。

【0085】

図15に示すように、1つの参照電圧を発生する参照基準電圧発生回路11の出力端子をヒステリシスコンパレータの基準電圧端子に、ヒステリシスコンパレータの出力端子をトランジスタP10およびトランジスタN4のゲート端子に接続することとしても、本実施の形態6と同様の効果が得られる。

【0086】

(実施の形態7)

図16は、本発明の実施の形態7による基準電圧発生回路の構成を示したものである。

【0087】

図16において、前記基準電圧発生回路は、基準電圧を発生する基準電圧発生回路本体1と、前記基準電圧を安定化させる基準電圧安定化容量3と、前記基準

電圧より高電位と低電位の2つの参照電圧 V_{ref1} 、 V_{ref2} を発生する参照基準電圧発生回路11と、前記基準電圧安定化容量3を前記基準電圧発生回路本体1の出力端子に接続するスイッチSWと、前記スイッチSWと前記基準電圧安定化容量3との接続点の電圧と、前記参照電圧とを比較し、さらに前記基準電圧安定化容量3の放充電を制御する電圧検知制御回路14と、によって構成されている。なお、前記電圧検知制御回路14は、N型トランジスタN5とP型トランジスタP11とから構成されている。

【0088】

また、基準電圧発生回路本体1の出力は、スイッチSWを介して、基準電圧安定化容量3の一端（他端は基準電圧（GND）に接続）と、電圧検知制御回路14のトランジスタN5のソース端子と、およびトランジスタP11のソース端子と接続されている。トランジスタN5のドレイン端子は、基準電位（VDD）と、トランジスタP11のドレイン端子は、基準電位（GND）と、トランジスタN5のゲート端子は、参照基準電圧発生回路11の出力端子 V_{ref1} と、トランジスタP11のゲート端子は、参照基準電圧発生回路11の出力端子 V_{ref2} と、スタンバイ端子Pdnは、基準電圧発生回路本体1の入力端子および参照基準電圧発生回路11の入力端子と、それぞれ接続されている。

【0089】

ただし、ここでは、参照電圧 V_{ref1} および V_{ref2} は、それぞれ $V_{ref1} = V_{ro} + V_{thn}$ 、 $V_{ref2} = V_{ro} - |V_{thp}|$ とする。（ただし、 V_{ro} は安定な基準電圧値、 V_{thn} はN型トランジスタN5のしきい値、 V_{thp} はP型トランジスタP11のしきい値である。）

【0090】

次に、以上のように構成されている本発明の実施の形態7による基準電圧発生回路の動作について、図17を参照しながら説明する。

なお、ここでは、基準電圧安定化容量3の一端の電圧 V_r が安定な基準電圧 V_{r0} 以下になった時の動作のみを説明する。

【0091】

図17は、本発明の実施の形態7による基準電圧発生回路の出力電圧、および従来

の基準電圧発生回路の出力電圧を示したものである。

スタンバイ時、スイッチSWはOFFとなっている。 $V_r = V_{r0}$ の時、トランジスタN5およびトランジスタP11のゲート・ソース間電圧 V_{gs} はしきい値 V_{th} となり、2つのトランジスタには微小電流しか流れない。電圧 V_r が安定な基準電圧 V_{r0} 以下になるとトランジスタN5がONし、トランジスタP11は完全にOFFする。すると、トランジスタN5から基準電圧安定化容量3に電流が流れ込み、電圧 V_r は上昇する。

【0092】

また、電圧 V_r が安定な基準電圧 V_{r0} 以上になった時は、同様にトランジスタP11がON、トランジスタN5がOFFし、トランジスタP11に基準電圧安定化容量3から電流が流れ出し電圧 V_r が低下する。

【0093】

また、通常動作状態に遷移すると、スイッチSWはONとなり、基準電圧発生回路本体1の出力端子は、スイッチSWを介して、基準電圧安定化容量3と接続し、前記出力端子での電圧 V_0 は、急速的に電圧 V_r に接近し、そして次第に安定な基準電圧 V_{r0} に到達する。

【0094】

このように、本実施の形態7による基準電圧発生回路では、基準電圧発生回路本体1の以外に、参照電圧を発生する参照基準電圧発生回路11と、基準電圧を安定させる容量3と、スタンバイ期間中にオフし、通常動作期間中にオンするスイッチSWと、前記容量3の一端の電圧と参照電圧とを比較し、その比較結果に応じて前記容量3の放充電を制御する電圧検知制御回路14とを設けるようにしたので、本基準電圧発生回路はスタンバイの期間、前記容量3の一端の電圧 V_r を常に基準電圧 V_{r0} 近傍に保ち、通常動作に復帰する時、基準電圧発生回路本体1の出力端子を、電圧 V_r が安定な基準電圧 V_{r0} 近傍にある前記容量3の一端に接続することにより、基準電圧発生回路本体1の出力端子の電圧 V_0 が安定な基準電圧 V_{r0} に達するまでの時間 t_{r1} を従来の回路より短くすることができる。

【0095】

なお、図16の回路の V_{ref1} および V_{ref2} に、それぞれ $V_{ro} < V_{ref1} < V_{ro} + V_{thn}$ 、 $V_{ro} < V_{ref2} < V_{ro} - |V_{thp}|$ となる電圧を与えることにより、図12の回路のようにトランジスタN5およびトランジスタP11が共にOFFとなる不感帯をつくることができる。不感帯の幅は、 V_{ro} を中心に、+方向に $V_{ro} + V_{thn} - V_{ref1}$ 、-方向に $V_{ref2} - V_{ro} + |V_{thp}|$ となる。

【0096】

また、参照基準電圧発生回路11は、図14の回路でも実現できるが、実施の形態8には、プロセスばらつきに対して、より安定な参照電圧を発生する、参照基準電圧発生回路の実現例を示す。

【0097】

(実施の形態8)

図18は、本発明の実施の形態8による基準電圧発生回路における、参照基準電圧発生回路の構成を示したものである。

本発明の実施の形態8による基準電圧発生回路の構成は、前述した実施の形態7と同様である。

【0098】

図18において、参照基準電圧発生回路は、P型トランジスタP14とN型トランジスタN8からなるバイアス回路15と、参照電圧 V_{ref} を発生するサブ基準電圧発生回路6と、P型トランジスタP12、P13と、N型トランジスタN6、N7と、によって構成されている。

【0099】

なお、バイアス回路15のトランジスタP14のゲート端子は、そのドレイン端子と、カレントミラー用P型トランジスタP13のゲート端子と、バイアス回路15のトランジスタN8のゲート端子およびドレイン端子と、及びカレントミラー用N型トランジスタN7のゲート端子と、それぞれ接続されている。

【0100】

トランジスタP14のソース端子は基準電圧(VDD)と、トランジスタN8のソース端子は基準電圧(GND)と、トランジスタP13のソース端子は基準

電圧 (VDD) と、トランジスタ N7 のソース端子は基準電圧 (GND) と、サブ基準電圧発生回路 6 の出力端子はトランジスタ N6 のソース端子およびトランジスタ P12 のソース端子と、トランジスタ P13 のドレイン端子はトランジスタ N6 のゲート端子及びドレイン端子と、トランジスタ N7 のドレイン端子はトランジスタ P12 のゲート端子及びドレイン端子と、それぞれ接続されており、さらに、トランジスタ N6 のゲート端子、トランジスタ P12 のゲート端子は、それぞれ参照基準電圧発生回路の出力端子 V_{ref1} 、 V_{ref2} と接続されている。

【0101】

次に、以上のように構成されている、本発明の実施の形態 8 による基準電圧発生回路における、参照基準電圧発生回路の動作を説明する。

バイアス回路はトランジスタに微小電流が流れるようにサイジングしておく。カレントミラー構造より、トランジスタ P13、トランジスタ N7 およびトランジスタ P12、トランジスタ N6 の各トランジスタにも微小電流が流れ、トランジスタ N6 およびトランジスタ P12 のゲート・ソース電圧 V_{gs} にほぼしきい値となる電圧が発生する。トランジスタ N6 およびトランジスタ P12 のソース端子電圧は、サブ基準電圧発生回路 6 により発生したサブ基準電圧 V_{ref} に固定されているので、参照電圧 V_{ref1} および V_{ref2} には、それぞれ $V_{ref1} = V_{ref} + V_{thn}$ 、 $V_{ref2} = V_{ref} - |V_{thp}|$ となる電圧を発生させることができる。

【0102】

このように、本実施の形態 8 による参照基準電圧発生回路では、P トランジスタ P14 と N トランジスタ N8 とからなるバイアス回路 15 と、参照電圧を発生するサブ基準電圧発生回路 6 と、バイアス回路のトランジスタと組んでカレントミラーとなるトランジスタ P13、N7 と、及び所望の参照電圧を生成するトランジスタ P12、N6 と、を設けるようにしたので、ばらつきの少ない、安定的な参照電圧を得ることができる。

【0103】

【発明の効果】

以上のように、本発明の請求項 1 に係る基準電圧発生回路によれば、スタンバイ状態から通常動作状態に遷移する際、基準電圧安定用容量を急速に充電、又は放電することによって、基準電圧を急速に上昇又は降下させることができる。また、回路内に、基準電圧が安定な基準電圧点となった場合、前記基準電圧安定用容量に対する充電又は放電の動作が自動的に停止する機能や、或いはその動作を停止させる機能を加えることで、基準電圧が安定な基準電圧になるまでの時間を短くすることができる。

【0104】

また、本発明の請求項 2 に係る基準電圧発生回路によれば、スタンバイ状態から通常動作状態に遷移する際、基準電圧安定用容量を急速に充電する、あるいは放電することによって、基準電圧を急速に上昇、あるいは降下させることができる。

【0105】

本発明の請求項 3 に係る基準電圧発生回路によれば、スタンバイ状態から通常動作状態に遷移する際、基準電圧安定用容量を急速に充電することによって、基準電圧を急速に上昇させることができる。

【0106】

本発明の請求項 4 に係る基準電圧発生回路によれば、スタンバイ状態から通常動作状態に遷移する際、基準電圧安定用容量を急速に放電することによって、基準電圧を急速に降下させることができる。

【0107】

本発明の請求項 5 に係る基準電圧発生回路によれば、スタンバイ状態から通常動作状態に遷移する際、サブ基準電圧まで前記基準電圧安定用容量を急速に充電し、あるいは所定の電圧まで急速に放電し、その後充放電動作を停止させることによって、基準電圧が安定な電圧になるまでの時間が大きくなるのを防ぐことができる。

【0108】

本発明の請求項 6 に係る基準電圧発生回路によれば、急峻に上昇するサブ基準電圧を発生することができる。

【0109】

本発明の請求項7に係る基準電圧発生回路によれば、簡単な構成で、急峻に上昇するサブ基準電圧を発生することができる。

【0110】

本発明の請求項8に係る基準電圧発生回路によれば、スタンバイ状態から通常動作状態に移移する際、容量の分圧効果により、本回路の出力端子を安定電圧近傍の電圧にプリチャージし、基準電圧を安定電圧点まで急速に上昇させることができる。

【0111】

本発明の請求項9に係る基準電圧発生回路によれば、スタンバイ時には、トランジスタをダイオード接続状態にして、ゲートを安定電圧近傍にバイアスしておき、通常動作時には、ドレインをソースに接続し、ゲートを基準電圧発生回路の出力端子に接続することにより、本回路の出力端子を安定電圧近傍の電圧にプリチャージし、基準電圧を安定電圧点まで急速に接近させることができる。

【0112】

本発明の請求項10に係る基準電圧発生回路によれば、基準電圧が安定な電圧になるまでの時間が大きくなるのを防ぐことができる。

【0113】

本発明の請求項11に係る基準電圧発生回路によれば、スタンバイ時には、前記容量素子を安定電圧近傍に維持させ、通常動作時には、本回路の出力端子を前記容量素子と接続させることによって、安定電圧近傍の電圧にプリチャージし、基準電圧を安定電圧点まで急速に接近させることができる。

【0114】

本発明の請求項12に係る基準電圧発生回路によれば、スタンバイ時には、前記容量素子を安定電圧近傍に維持させ、通常動作時には、本回路の出力端子を前記容量素子と接続させることによって、安定電圧近傍の電圧にプリチャージし、基準電圧を安定電圧点まで急速に接近させることができる。

【0115】

本発明の請求項13に係る基準電圧発生回路によれば、スタンバイ時には、前

記容量素子を安定電圧近傍に維持させ、通常動作時には、本回路の出力端子を前記容量素子と接続させることによって、安定電圧近傍の電圧にプリチャージし、基準電圧を安定電圧点まで急速に接近させることができる。

【0116】

本発明の請求項14に係る基準電圧発生回路によれば、スタンバイ時には、前記容量素子を安定電圧近傍に維持させ、通常動作時には、本回路の出力端子を前記容量素子と接続させることによって、安定電圧近傍の電圧にプリチャージし、基準電圧を安定電圧点まで急速に接近させることができる。

【0117】

本発明の請求項15に係る基準電圧発生回路によれば、プロセスのばらつきに対して、安定的な参照電圧を発生することができる。

【図面の簡単な説明】

【図1】

本発明の実施の形態1による基準電圧発生回路の構成を示す図である。

【図2】

本発明の実施の形態1による基準電圧発生回路、および従来の基準電圧発生回路の電圧変化を示す図である。

【図3】

本発明の実施の形態2による基準電圧発生回路の構成を示す図である。

【図4】

本発明の実施の形態2による基準電圧発生回路、および従来の基準電圧発生回路の電圧変化を示す図である。

【図5】

本発明の実施の形態3による基準電圧発生回路の構成を示す図である。

【図6】

本発明の実施の形態3による基準電圧発生回路、サブ基準電圧発生回路、および従来の基準電圧発生回路の電圧変化を示す図である。

【図7】

本発明の実施の形態3における、抵抗分圧を利用したサブ基準電圧発生回路の

構成を示す図である。

【図 8】

本発明の実施の形態 4 による基準電圧発生回路の構成を示す図である。

【図 9】

本発明の実施の形態 4 における基準電圧発生回路本体の動作状態、スイッチ SW 1 ~ 4 の ON / OFF 状態遷移のタイミング、及び基準電圧発生回路における各地点の電圧変化を示す図である。

【図 10】

本発明の実施の形態 5 による基準電圧発生回路の構成を示す図である。

【図 11】

本発明の実施の形態 5 における基準電圧発生回路の動作状態、スイッチ SW 1 ~ 4 の ON / OFF 状態遷移のタイミング、及び基準電圧発生回路の電圧変化を示す図である。

【図 12】

本発明の実施の形態 6 による基準電圧発生回路の構成を示す図である。

【図 13】

本発明の実施の形態 6 における基準電圧発生回路本体の動作状態、スイッチ SW の ON / OFF 状態遷移のタイミング、及び本実施の形態 6 による基準電圧発生回路と従来回路の電圧変化を示す図である。

【図 14】

本発明の実施の形態 6 における、抵抗分圧を利用した参照基準電圧発生回路の構成を示す図である。

【図 15】

本発明の実施の形態 6 における基準電圧発生回路の構成のその他の例を示す図である。

【図 16】

本発明の実施の形態 7 による基準電圧発生回路の構成を示す図である。

【図 17】

本発明の実施の形態 7 における基準電圧発生回路本体の動作状態、スイッチ S

WのON/OFF状態遷移のタイミング、及び本実施の形態7による基準電圧発生回路と従来回路の電圧変化を示す図である。

【図18】

本発明の実施の形態7による基準電圧発生回路における、参照基準電圧発生回路の構成の一例を示す図である。

【図19】

従来の基準電圧発生回路を含むアナログ回路の構成を示すブロック図である。

【図20】

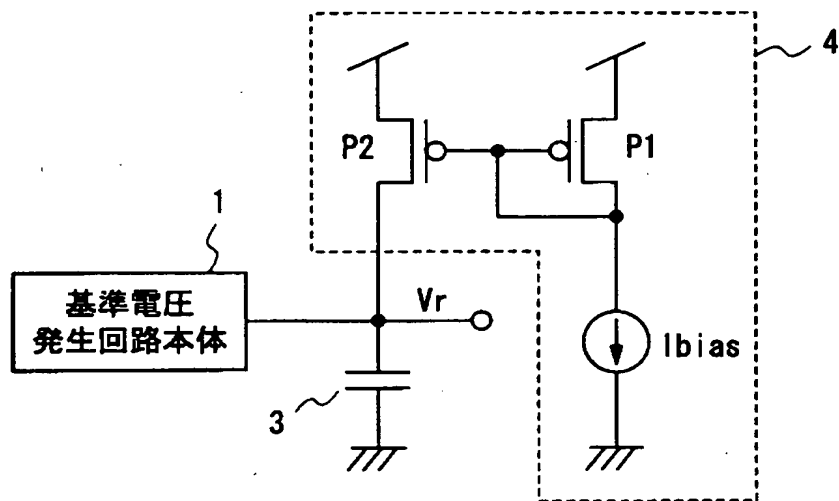
従来の基準電圧発生回路を含むアナログ回路の電圧変化を示す図である。

【符号の説明】

- 1、10 基準電圧発生回路本体
- 2 アナログ回路
- 3 基準電圧安定化容量
- 4 基準電圧急速安定器（P型トランジスタ）
- 5 基準電圧急速安定器（N型トランジスタ）
- 6 サブ基準電圧発生回路
- 7 電圧検知用比較器
- 8 停止回路
- 9 出力端子
- 11 参照基準電圧発生回路
- 12 電圧検知回路
- 13 制御回路
- 14 電圧検知制御回路
- 15 バイアス回路

【書類名】 図面

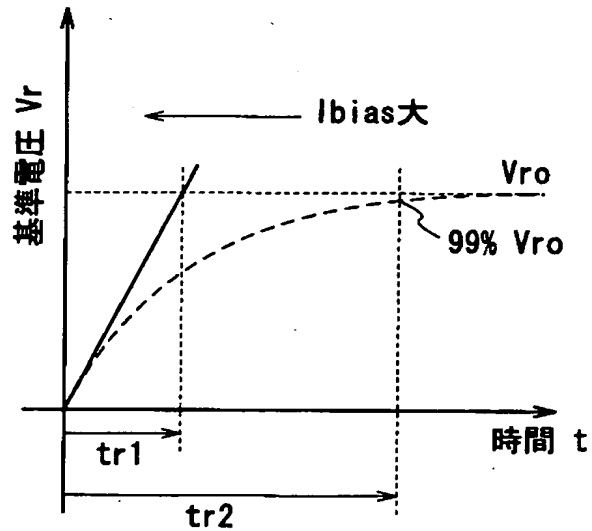
【図 1】



3: 基準電圧安定化容量

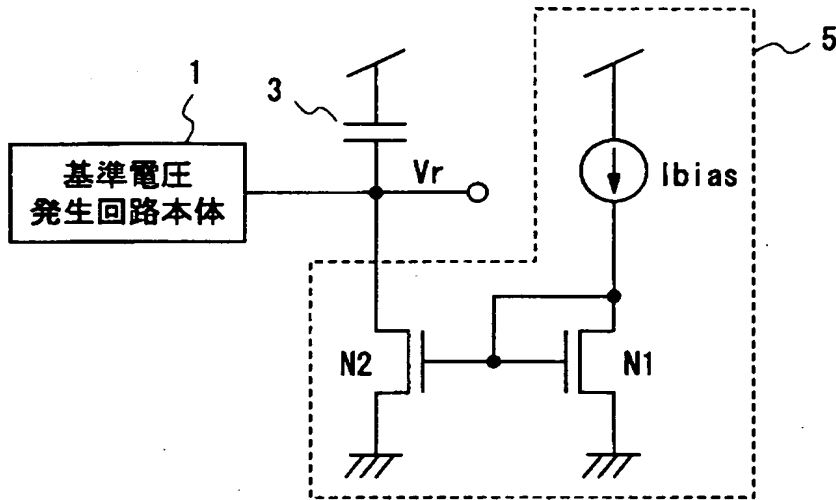
4: 基準電圧急速安定器 (P型トランジスタ)

【図 2】



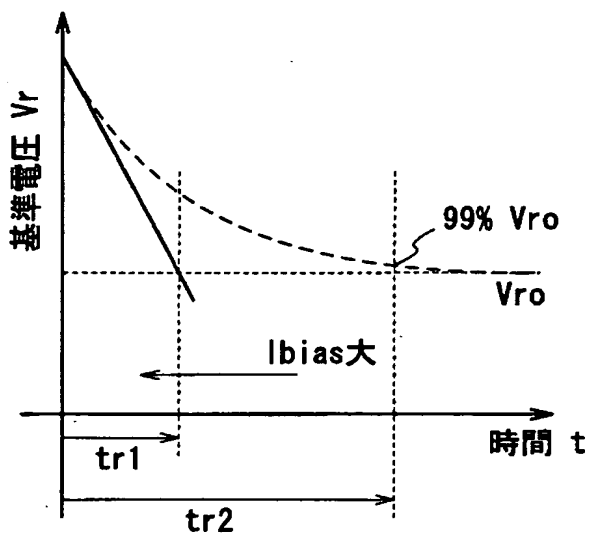
—— 本発明の基準電圧発生回路の電圧波形
 - - - 従来の基準電圧発生回路の電圧波形

【図 3】



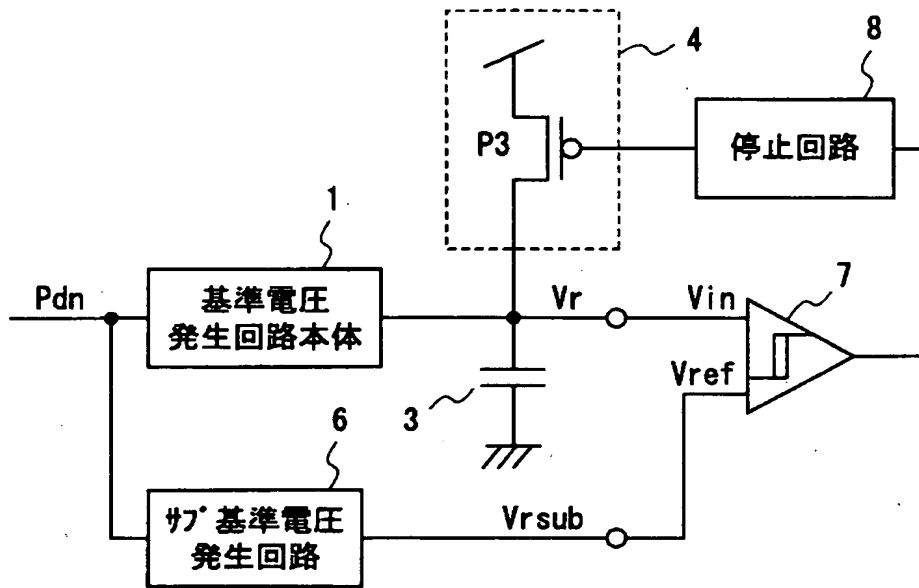
5 : 基準電圧急速安定器 (N型トランジスタ)

【図 4】



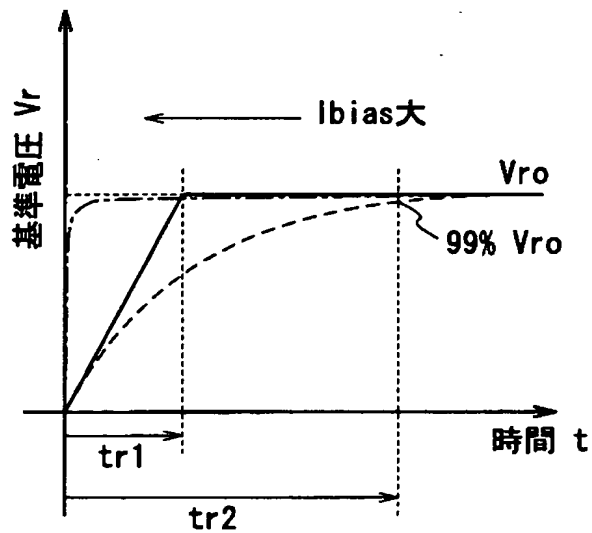
—— 本発明の基準電圧発生回路の電圧波形
 - - - 従来の基準電圧発生回路の電圧波形

【図 5】



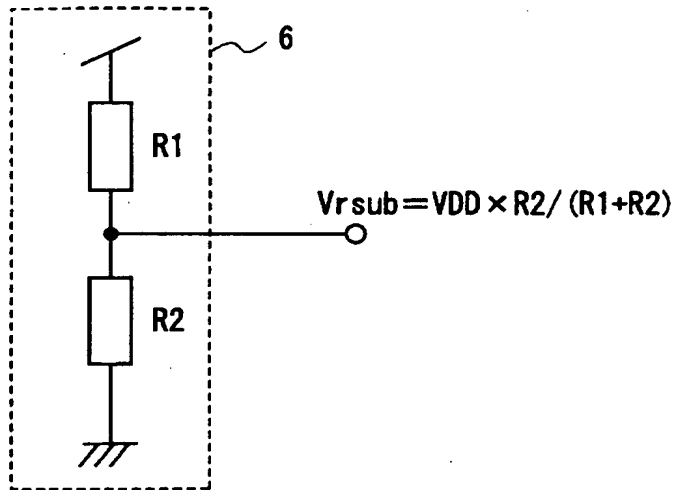
7 : 電圧検知用比較器

【図 6】

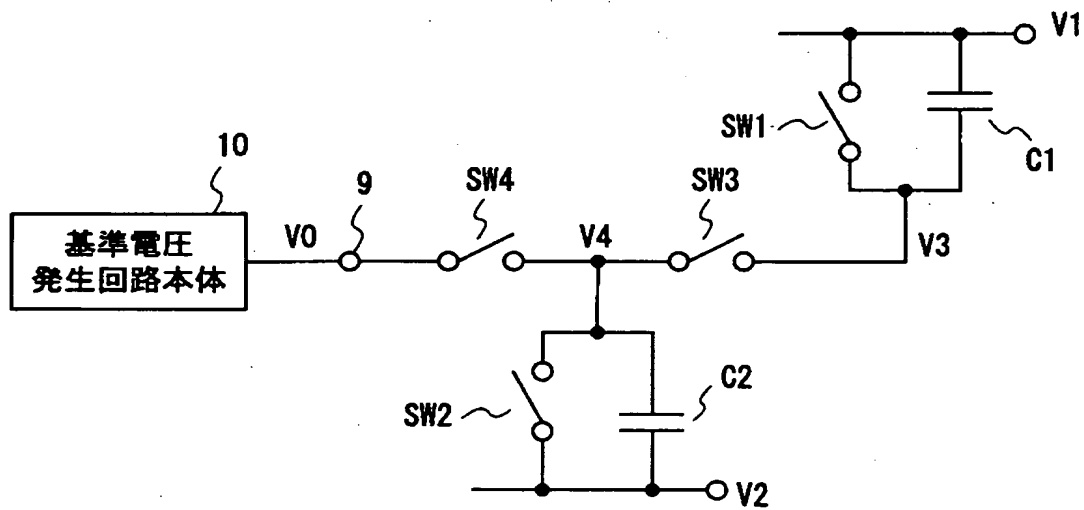


- 本発明の基準電圧発生回路の電圧波形
- - - 本発明のサブ基準電圧発生回路の電圧波形
- 従来の基準電圧発生回路の電圧波形

【図 7】

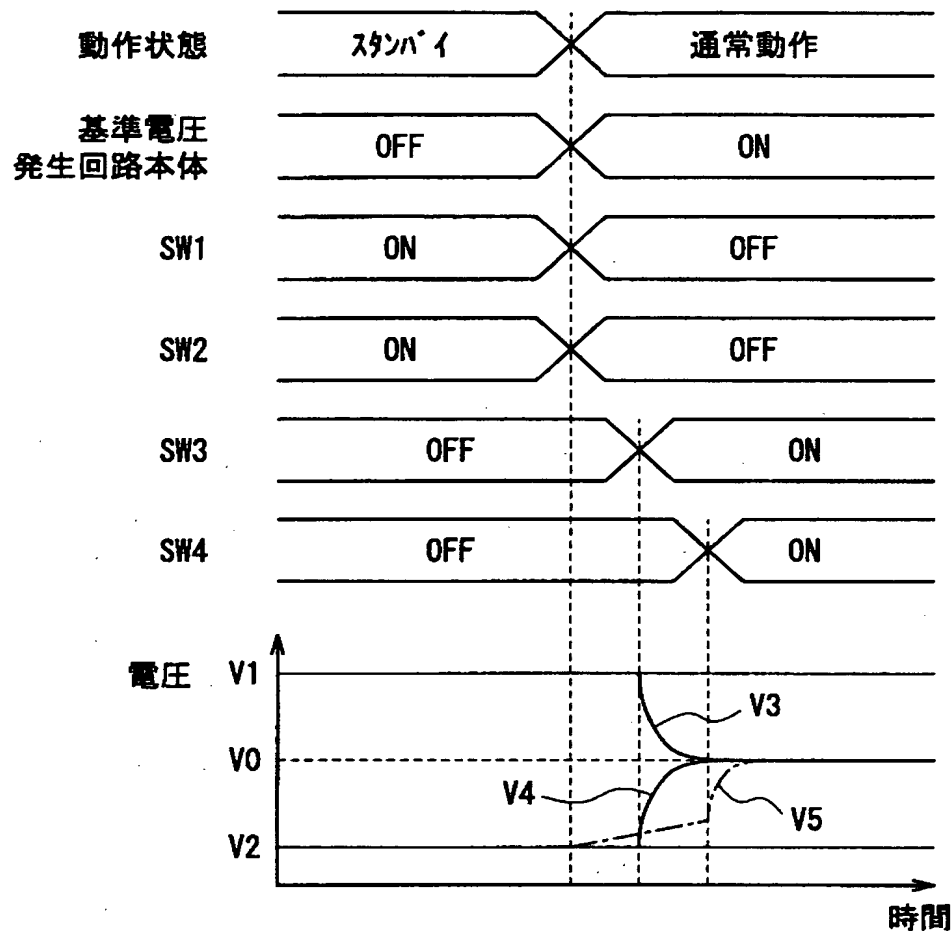


【図 8】

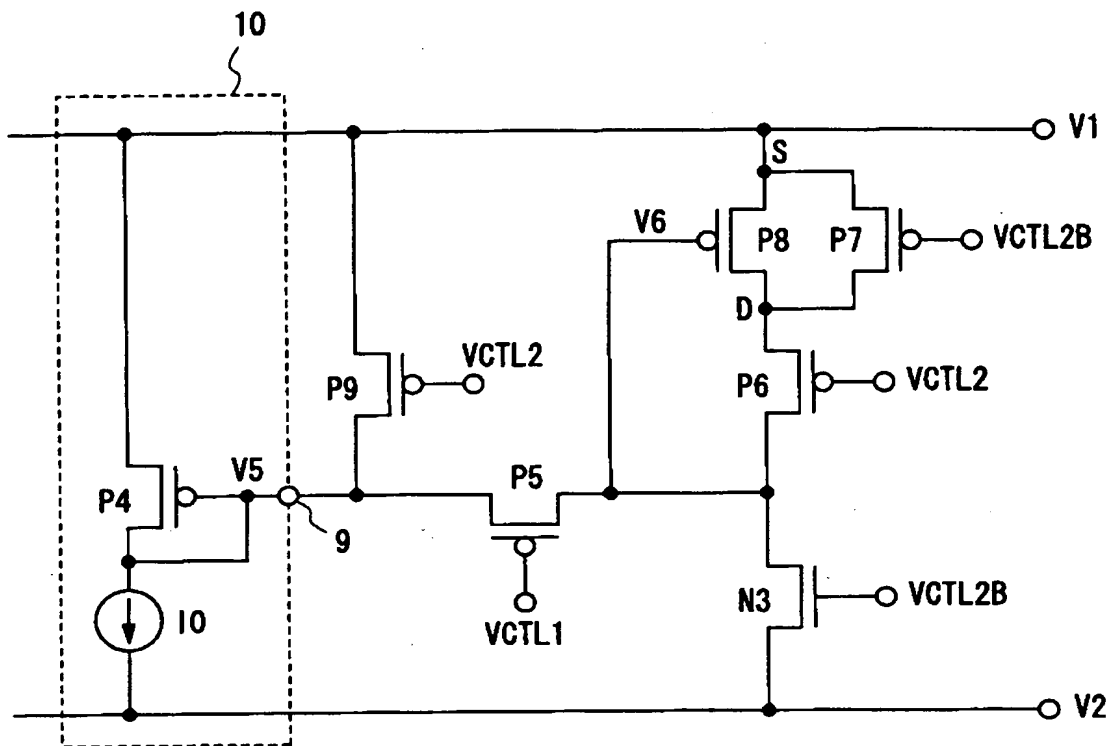


9 : 出力端子

【図9】

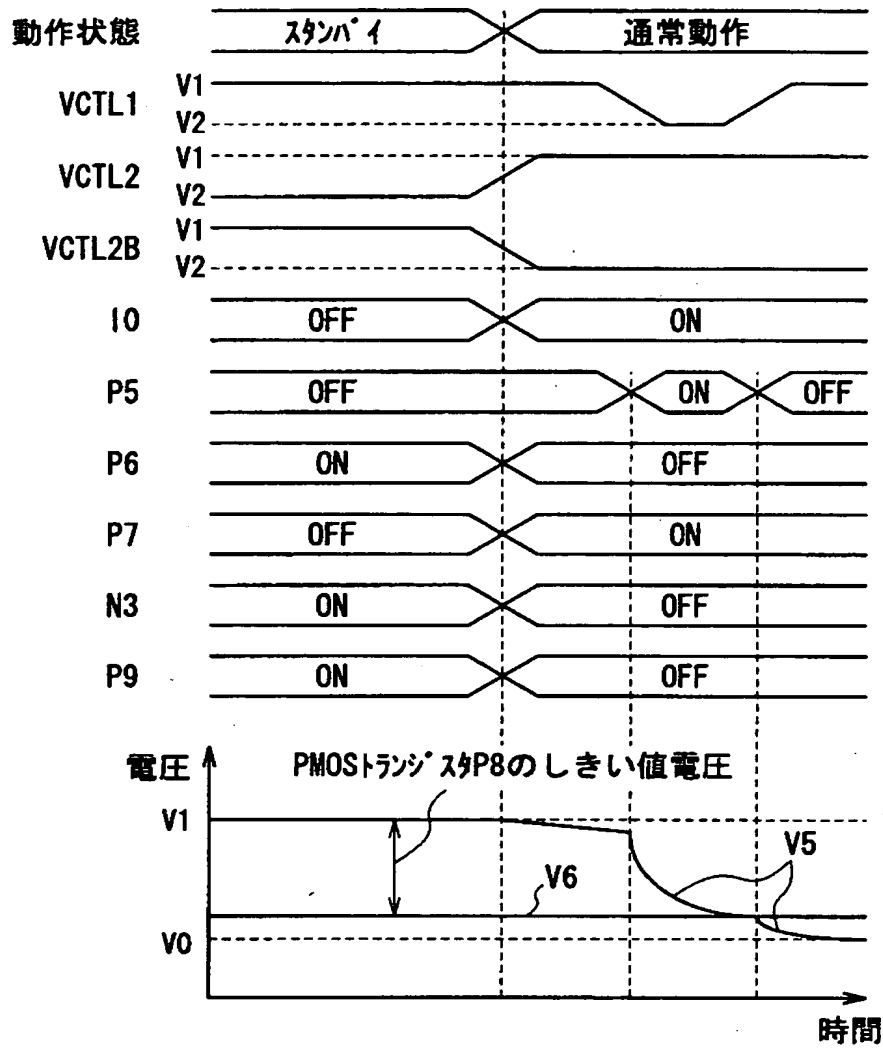


【圖 10】

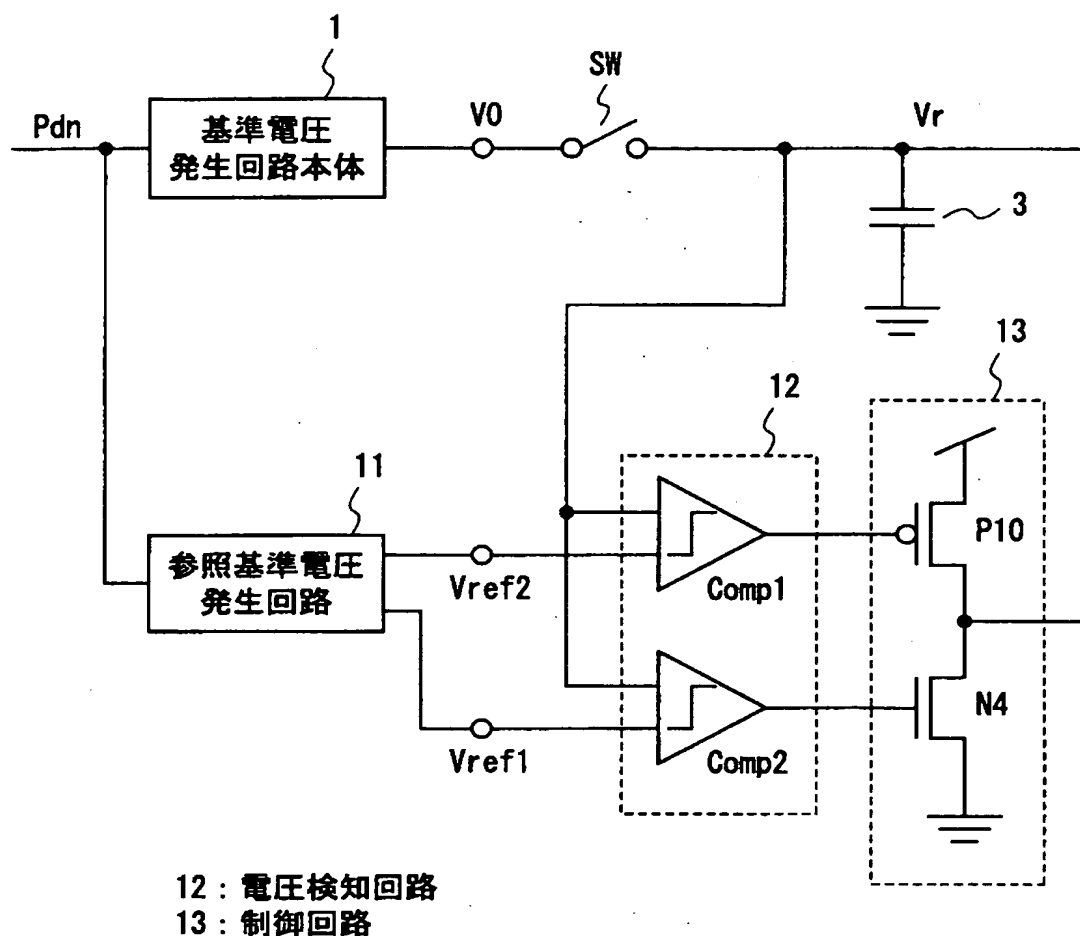


10: 基準電圧発生回路本体

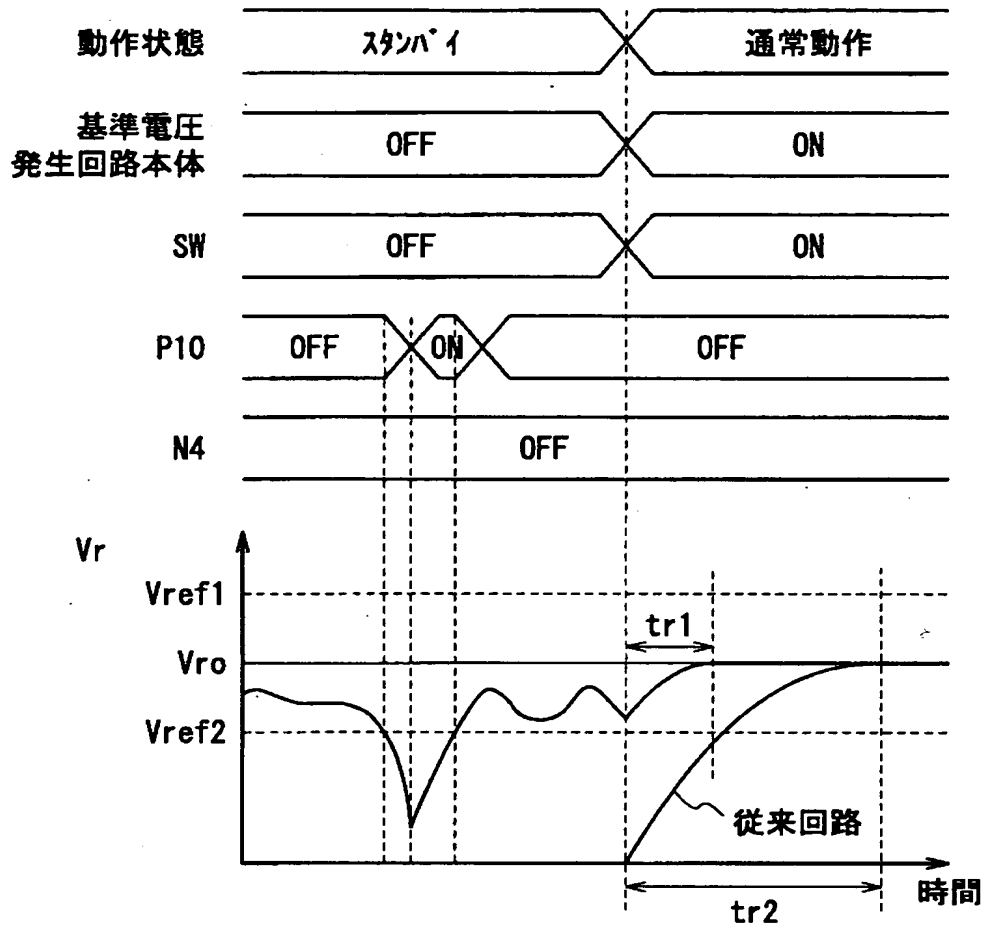
【図 11】



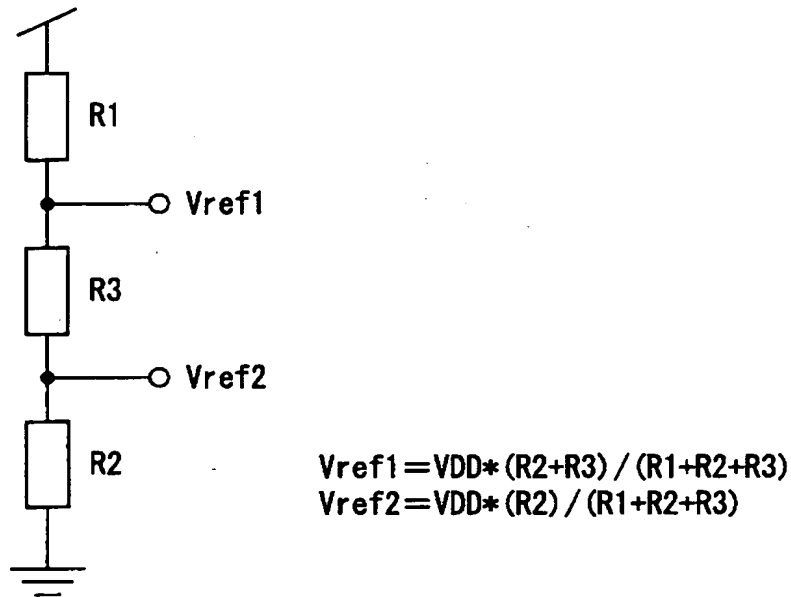
【図 12】



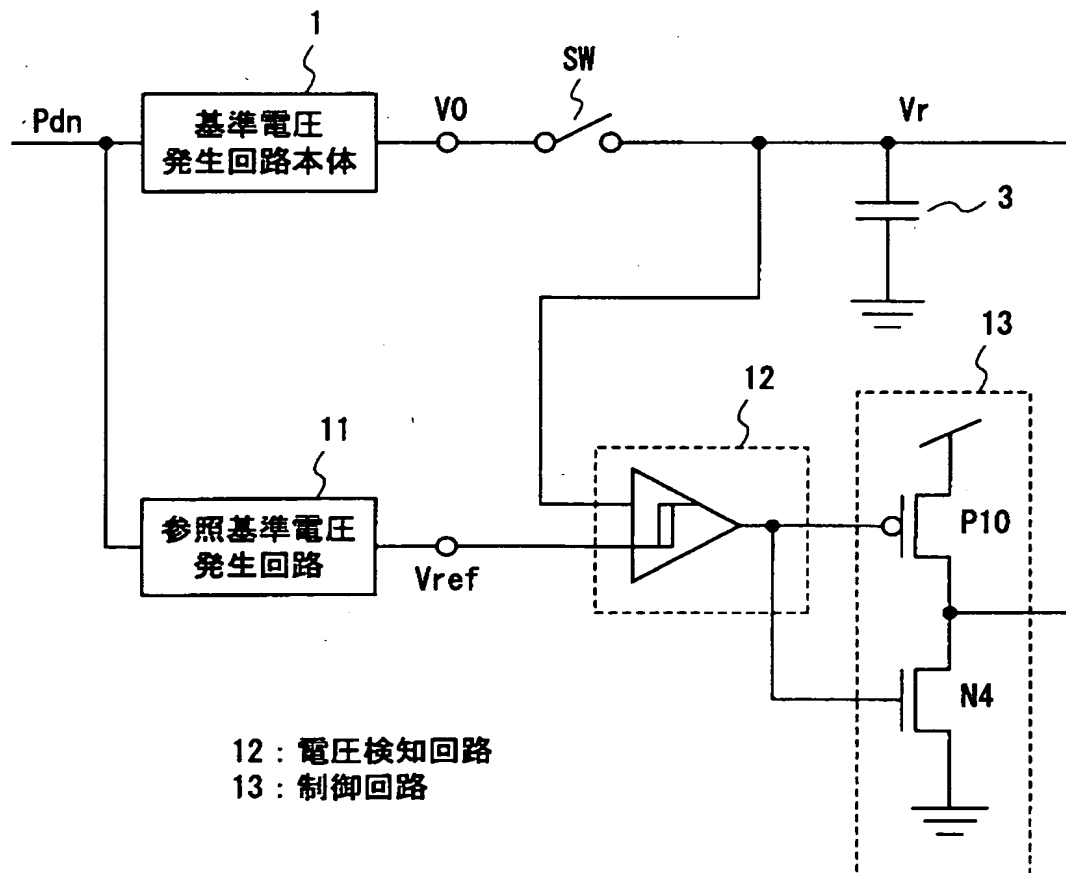
【図 13】



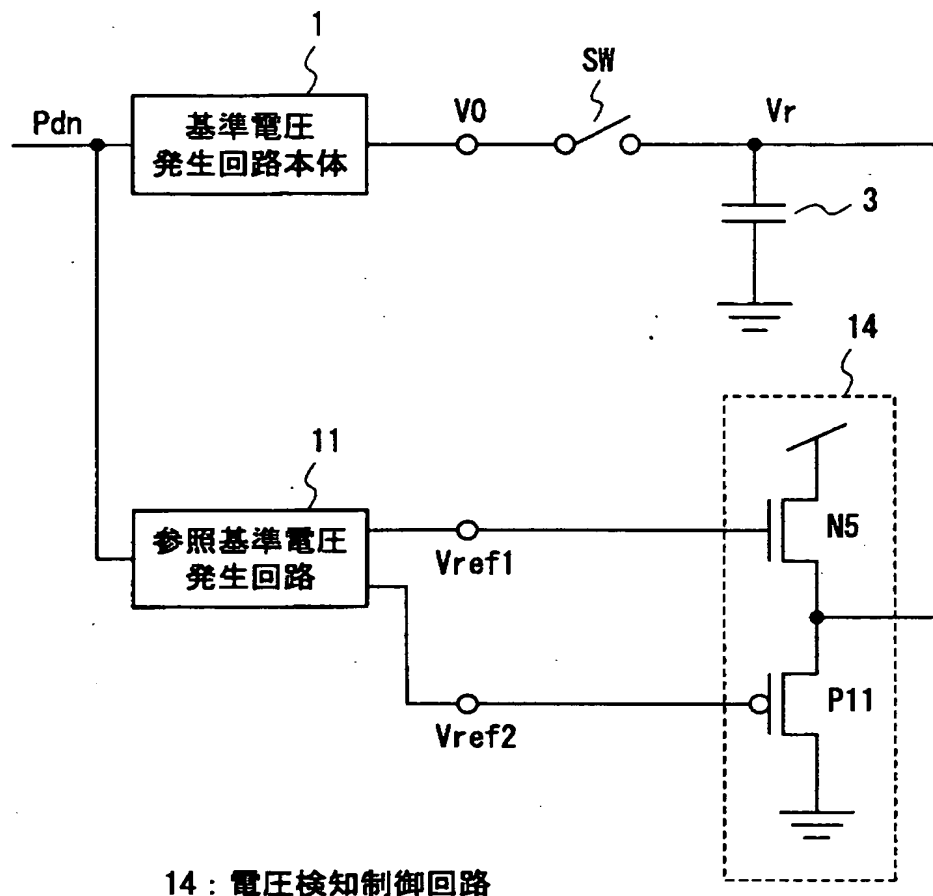
【図 1 4】



【図 1 5】

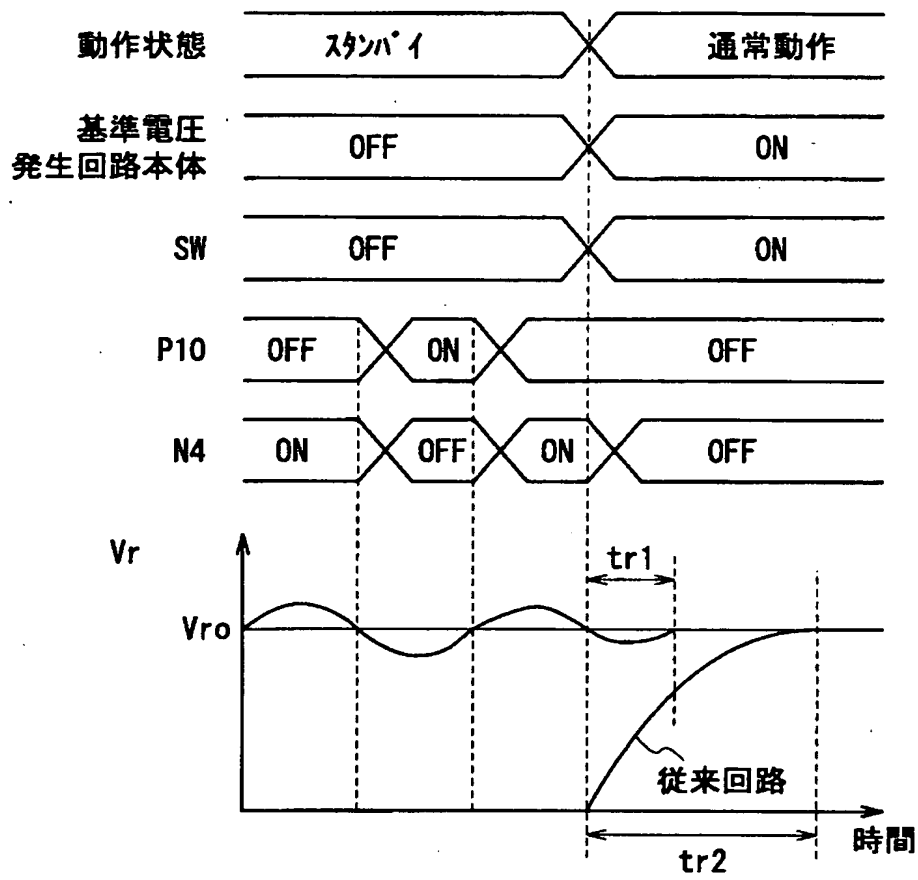


【図 16】

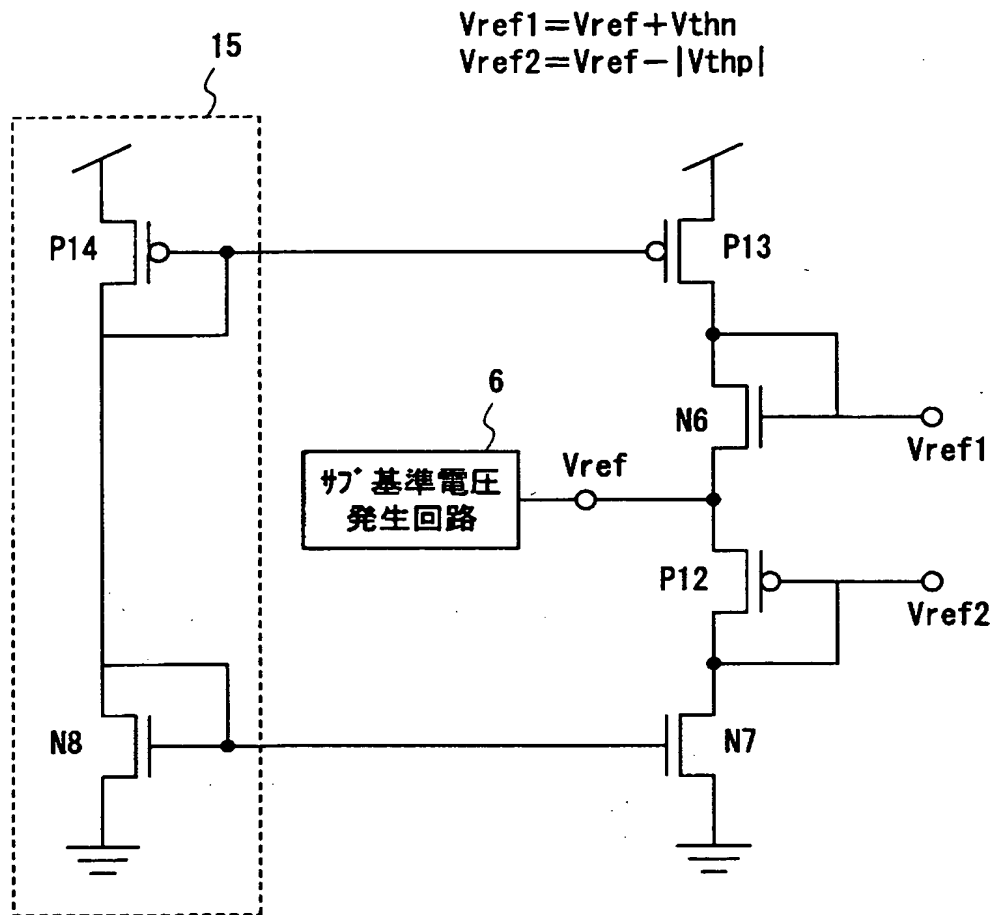


14 : 電圧検知制御回路

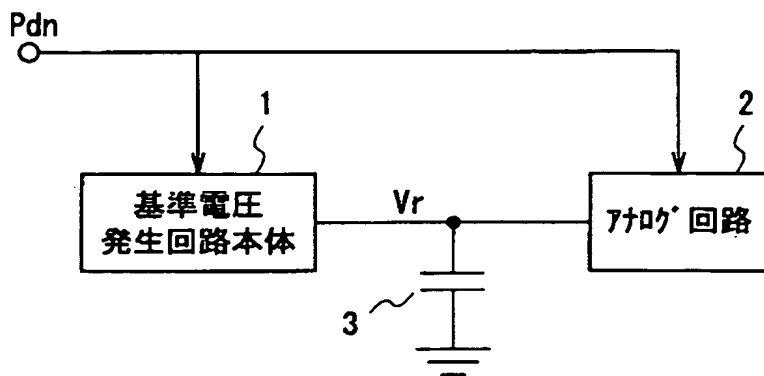
【図 17】



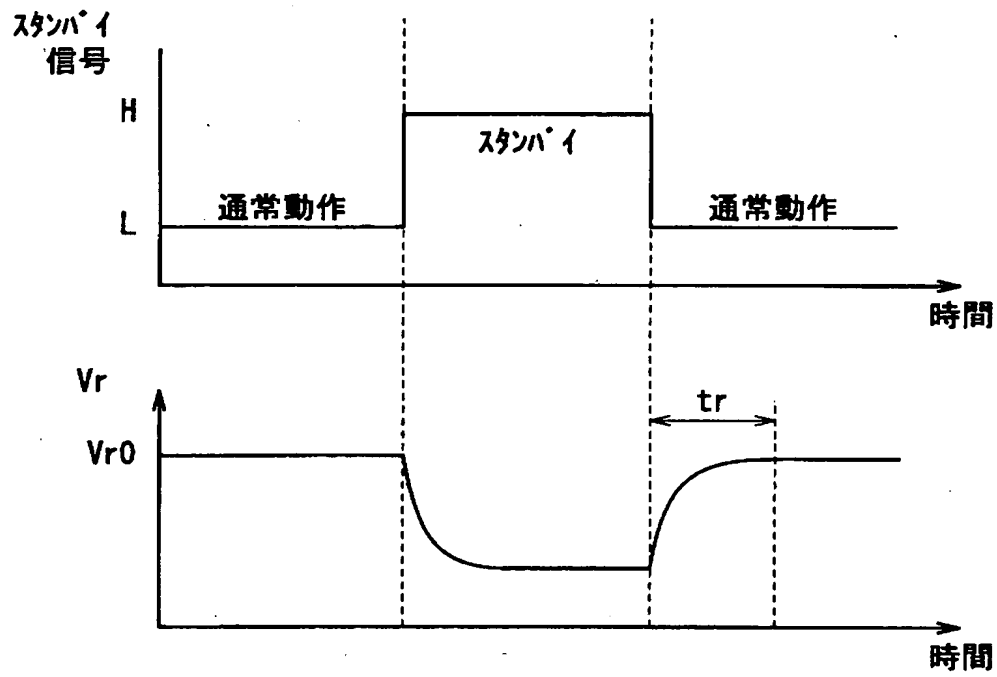
【図 18】



【図 19】



【図 20】



【書類名】 要約書

【要約】

【課題】 従来の基準電圧発生回路では、基準電圧が安定な電圧になるまでに時間がかかり、システムから要求される復帰時間を満足できないことがあり、特に安定化容量が大きな回路では、復帰時間が非常に大きくなる。

【解決手段】 本発明の基準電圧発生回路は、スタンバイ状態から通常動作状態に遷移する際、基準電圧安定化容量を急速に充電し、安定電圧点となった場合に自動的に充電動作を停止する機能を備える。また、スタンバイ状態から通常動作状態に遷移する際、容量の分圧効果により、基準電圧発生回路の出力端子を安定電圧近傍の電圧にプリチャージする機能を備える。これにより、アナログ回路を含む基準電圧発生回路をオフ状態からオン状態に遷移させるとき、基準電圧が安定な電圧になるまでの時間が大きくなるのを防ぐ。

【選択図】 図5

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1006番地

氏 名 松下電器産業株式会社